

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 8 月 29 日 (29.08.2002)

PCT

(10) 国際公開番号
WO 02/067320 A1

(51) 国際特許分類: H01L 21/8247, 29/788,
29/792, 27/115, G11C 16/02, 16/04

(21) 国際出願番号: PCT/JP02/01514

(22) 国際出願日: 2002 年 2 月 21 日 (21.02.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-46451 2001 年 2 月 22 日 (22.02.2001) JP
特願2001-152524 2001 年 5 月 22 日 (22.05.2001) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];
〒545-8522 大阪府 大阪市 阿倍野区長池町22番22号
Osaka (JP).

(IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町信貴ヶ丘 2-4-13 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 104-B203 Nara (JP). 柿本 誠三 (KAKIMOTO, Seizo) [JP/JP]; 〒636-0202 奈良県 磯城郡 川西町結崎 636-1 Nara (JP).

(74) 代理人: 青山 葆, 外 (AOYAMA, Tamotsu et al.); 〒540-0001 大阪府 大阪市 中央区城見1丁目3番7号IMPビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

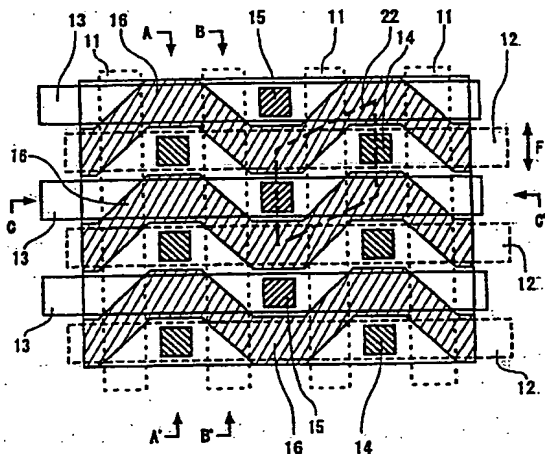
(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 岩田 浩

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体記憶装置および半導体集積回路



(57) Abstract: A semiconductor storage device capable of high-density mounting. Element isolating regions (diagonal line sections) (16) laterally extending by meandering are formed longitudinally in parallel on the surface of a semiconductor substrate, and an active region is defined between adjacent element isolating regions (16). Each folding point of meandering (corresponding to contacts (14) or (15)) in each of the active regions has an impurity diffused region (a source or drain). Word lines (11) extending vertically in straight lines pass over the channel region in each active region via films each having a memory function. A first bit line (12) extending laterally in a straight line passes over an impurity diffused region (corresponding to a contact (14)) provided on a crest-side folding point. A second bit line (15) extending laterally in a straight line passes over an impurity diffused region (corresponding to a contact (15)) provided on a trough-side folding point.

[続葉有]



(57) 要約:

高集積化が可能な半導体記憶装置を提供する。半導体基板の表面に、横方向に蛇行して延びる複数の素子分離領域(斜線部)(16)が縦方向に関して並んで形成されて、隣り合う素子分離領域(16)の間にそれぞれ活性領域が定められている。上記各活性領域内の蛇行の各折り返し箇所(コンタクト(14),(15)に対応)に、それぞれ不純物拡散領域(ソースまたはドレイン)が形成されている。縦方向にストレートに延びる複数のワード線(11)が、それぞれメモリ機能を有する膜を介して各活性領域内のチャネル領域上を通る。横方向にストレートに延びる第1のビット線(12)が、山側の折り返し箇所に設けられた不純物拡散領域(コンタクト(14)に対応)上を通る。横方向にストレートに延びる第2のビット線(15)が、谷側の折り返し箇所に設けられた不純物拡散領域(コンタクト(15)に対応)上を通る。

明 細 書

半導体記憶装置および半導体集積回路

5 技術分野

この発明は、メモリ機能膜を備えた電界効果トランジスタ(FET)型メモリ素子から成る半導体記憶装置およびその半導体記憶装置を含む半導体集積回路に関する。

10 背景技術

フラッシュメモリは、上記メモリ機能膜であるフローティングゲートの電荷量によるMOS(金属酸化膜半導体)FETの閾値の変化を用いたメモリとして、広く用いられている。上記フラッシュメモリの1トランジスタ型メモリには、NOR型、DINOR型、NAND型およびAND型等がある。そのなかで、AND型は、NOR型に比してセル面積が小さく、且つ読み出し速度はNOR型と同程度にできるという特徴がある。さらに、AND型は、消去をワード線毎に行うことができ、NAND型よりも消去単位が小さいという特徴を有する。

しかしながら、上記従来のAND型メモリには、セル面積が約 $8F^2$ (F は最小加工ピッチ)程度であり、NAND型メモリの $6F^2$ よりも大きいため、高集積化を阻害しているという問題がある。

以下、具体的に説明する。図32に、従来のAND型メモリセルアレイにおける平面パターンのレイアウトを示す。図32において、従来のAND型セルアレイでは、半導体基板を仕切る複数の素子分離領域1が、一方向(図32においては横方向)にストレートに延在して形成されている。素子分離領域1における縦方向へのピッチは $4F$ に設定されている。一对の素子分離領域1,1の間に、半導体基板中の不純物拡散層から成るソース線2とビット線3とが互いに距離 $1F$ 分だけ離間して、上記横方向にストレートに延在して形成されている。一方、上記横方向に対して垂直方向(図32においては縦方向)には、ポリシリコンから成る複数のワード線4が、上記横方向へのピッチが $2F$ でストレートに延在して形

成されている。そして、ソース線2とビット線3の間の領域であってワード線4によって覆われた領域が、チャネル領域5となる。1つのメモリセルは、図32中に二点鎖線で示す縦が4Fで横が2Fの矩形6で表された領域であり、その面積はNAND型メモリの $6F^2$ よりも大きい $8F^2(=4F \times 2F)$ となる。

- 5 このように、上記AND型メモリは、上記NOR型と同程度の読み出し速度を有し、NAND型よりも小さいワード線単位で消去できる等の特徴を有しているにも拘わらず、NAND型よりも面積が大きく、高集積化ができないという問題を有している。

10 発明の開示

(発明が解決しようとする技術的課題)

そこで、この発明の目的は、1メモリセルの面積がNAND型よりも小さく高集積化が可能な半導体記憶装置およびその半導体記憶装置を搭載した半導体集積回路を提供することにある。

- 15 上記目的を達成するため、第1の発明の半導体記憶装置は、

半導体基板の表面に、一方向に蛇行して延びる素子分離領域が上記一方向に垂直な方向に関して並んで形成されて、隣り合う素子分離領域の間に夫々上記一方向に延びる活性領域が定められ、

- 20 上記活性領域内の蛇行の各折り返し箇所に、夫々ソース領域またはドレイン領域として働く不純物拡散領域が形成されて、同一の活性領域で隣り合う上記不純物拡散領域の間に夫々チャネル領域が定められ、

上記半導体基板上に、上記一方向に交差して延びるワード線が、各活性領域内のチャネル領域上を通るように設けられ、

- 25 上記半導体基板上に、上記一方向に延びる複数のビット線が、上記不純物拡散領域上を通るように設けられると共に、夫々下に存する不純物拡散領域とコンタクト孔を介して接続されていることを特徴としている。

上記構成によれば、従来技術のように半導体基板中の不純物拡散層をビット線とするのではなく、半導体基板上にビット線が形成され、下に存する不純物拡散領域(ソース領域またはドレイン領域)とコンタクト孔を介して接続されている。

また、上記活性領域は蛇行し、該蛇行の各折り返し個所に不純物拡散領域が形成されている。そのため、同一の活性領域上に複数のビット線またはビット線とプレート電極とを設け、夫々ソース領域またはドレイン領域と接続することが可能となる。また、各活性領域内の蛇行の各折り返し箇所に形成された不純物拡散領域は、同一の活性領域内でチャンネル領域を介して隣り合う不純物拡散領域と夫々対をなして、電界効果トランジスタのソース領域、ドレイン領域として働く。つまり、各不純物拡散領域は夫々2つの電界効果トランジスタにより共有されている。したがって、素子面積を小さくすることができる。

上記理由により、本実施の形態の半導体記憶装置によれば、1つのセルの面積を従来のAND型メモリセルアレイよりも小さくすることができる。したがって、高集積化が可能となり、製品の歩留りが向上し、製造コストを削減することができる。

1 実施の形態では、上記複数のビット線とは、同一の活性領域内で蛇行の一方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられた第1のビット線と同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられた第2のビット線とからなることを特徴としている。

上記実施の形態によれば、上記同一の活性領域内で、第1のビット線が蛇行の一方の側の折り返し箇所に設けられた上記不純物拡散領域上に設けられ、第2のビット線が蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上に設けられ、各ビット線とその下に存する各不純物拡散領域とはコンタクト孔を介して接続されている。そのため、第1のビット線に接続された各不純物領域をソース領域およびドレイン領域の一方として機能させ、第2のビット線に接続された各不純物領域をソース領域およびドレイン領域の他方として機能させることができる。さらには、平面パターンレイアウトでは、第1ビット線と第2ビット線とを分離するマージンを必要とせず、第1ビット線(第2ビット線)を上記1方向とは交差する方向にピッチ2Fで並べることが可能となる。したがって、1つのセルの面積を、例えば4F²にまで更に縮小することができる。

更には、ソース領域およびドレイン領域には夫々ビット線毎に独立した電位を

与えることができるので、例えば電荷を保持する膜としてシリコン窒化膜を用いれば、ソース領域とド레인領域との役割を入れかえることにより、1トランジスタで2ビットの情報を記憶することが可能となる。

5 1実施の形態では、上記第1のビット線と上記第2のビット線とは、夫々層間絶縁膜により電氣的に分離された別の配線層からなることを特徴としている。

上記実施の形態によれば、第1のビット線と第2のビット線とは、半導体基板からの高さの夫々異なる別の配線層からなる。したがって、平面パターンレイアウト上で第1のビット線と第2のビット線とを分離するマージンがなくても、第1のビット線と第2のビット線とを容易に分離することができる。

10 1実施の形態では、上記複数のビット線は、夫々下に存する上記不純物拡散領域に1つ置きにコンタクト孔を介して接続され、

上記複数のビット線が接続されていない不純物拡散領域にプレート電極が接続されていることを特徴としている。

15 上記実施の形態によれば、上記ソース領域およびド레인領域の一方とビット線とが接続され、上記ソース領域およびド레인領域の他方はプレート電極と接続されている。すなわち、上記同一の活性領域上には1本のビット線のみが存在することとなる。

20 したがって、上記同一の活性領域上に複数のビット線を設けた場合に比べて配線構造が単純であるから製造が容易となる。さらに、上記プレート電極は、例えば常に一定の電位を与えておけば良いから、メモリを駆動する回路を単純化することができて、半導体記憶装置の高集積化および低コスト化が実現される。

1実施の形態では、上記ワード線の一部を構成するゲート電極とチャネル領域との間にメモリ機能を有する膜が存することを特徴としている。

25 上記実施の形態によれば、上記ゲート電極と上記チャネル領域またはソース・ド레인領域との間に電位差を加えることにより、容易に上記メモリ機能を有する膜に対する書き換えを行なうことができる。また、メモリ機能を有する膜はまた、ゲート絶縁膜としての機能を有するので、記憶された情報は電界効果トランジスタの閾値の変化として容易に検出することができる。

1実施の形態では、上記ワード線の一部を構成するゲート電極の側壁にメモリ

機能を有する膜が存することを特徴としている。

上記実施の形態によれば、メモリ機能を有する膜がゲート電極の側壁に設けられおり、ゲート絶縁膜はメモリ効果を有する必要がないため薄膜化が容易である。そのため、短チャネル効果を容易に抑制することができる。さらには、メモリ機能を有する膜が効果的に分離されているので2ビット化が容易である。したがって、半導体記憶装置の微細化、低コスト化が実現される。

また、第2の発明の半導体記憶装置は、

半導体基板の表面に、一方向に延びる素子分離領域が上記一方向に垂直な方向に関して並んで形成されて、隣り合う素子分離領域の間に夫々上記一方向に延びる活性領域が定められ、

上記活性領域内に、夫々ソース領域またはドレイン領域として働く不純物拡散領域が形成されて、同一の活性領域で隣り合う上記不純物拡散領域の間に夫々チャネル領域が定められ、

上記半導体基板上に、上記一方向に交差して延びる複数のワード線が、各活性領域内のチャネル領域上を通るように設けられ、

上記半導体基板上に、上記一方向に延びる複数のビット線が、上記不純物拡散領域上を通るように設けられると共に、夫々下に存する上記不純物拡散領域とコンタクト孔を介して接続され、

上記半導体基板は表面側にウェル領域を有し、このウェル領域が上記素子分離領域によって電氣的に区分されて第3のビット線を構成していることを特徴としている。

上記構成によれば、従来技術のように半導体基板中の不純物拡散層をビット線とするのではなく、半導体基板上にビット線が形成され、下に存する不純物拡散領域(ソース領域またはドレイン領域)とコンタクト孔を介して接続されている。

そのため、同一の活性領域上に複数のビット線またはビット線とプレート電極とを設け、夫々ソース領域またはドレイン領域と接続することが可能となる。また、上記素子分離領域で電氣的に区分されたウェル領域が第3のビット線として働く。半導体記憶装置の動作時に、複数の第3ビット線のうち特定のものを選択することにより、第3ビット線毎に、つまりウェル領域毎に電位を変えることができる

ので、上記ビット線および第3のビット線に適切な電位を与えることにより1ビット毎の書き換えが可能となる、したがって、ランダムアクセス可能な半導体記憶装置が提供される。

1 実施の形態では、上記複数のビット線とは、上記ソース領域またはドレイン領域の一方と接続された第1のビット線と、上記ソース領域またはドレイン領域の他方と接続された第2のビット線とからなることを特徴としている。

上記実施の形態によれば、ソース領域およびドレイン領域には夫々ビット線毎に独立した電位を与えることができるので、例えば電荷を保持する膜としてシリコン窒化膜を用いれば、ソース領域とドレイン領域との役割を入れかえることにより、1トランジスタで2ビットの情報を記憶することが可能となる。

また、第3の発明の半導体記憶装置は、

半導体基板の表面に、一方向に蛇行して延びる素子分離領域が上記一方向に垂直な方向に関して並んで形成されて、隣り合う素子分離領域の間に夫々上記一方向に延びる活性領域が定められ、

上記活性領域内の蛇行の各折り返し箇所に、夫々ソース領域またはドレイン領域として働く不純物拡散領域が形成されて、同一の活性領域で隣り合う上記不純物拡散領域の間に夫々チャネル領域が定められ、

上記半導体基板上に、上記一方向に交差して延びる複数のワード線が、夫々メモリ機能を有する膜を介して各活性領域内のチャネル領域上を通るように設けられ、

上記半導体基板上に、上記一方向に延びる複数のビット線が、上記不純物拡散領域上を通るように設けられると共に、夫々下に存する不純物拡散領域とコンタクト孔を介して接続され、

上記半導体基板は表面側にウェル領域を有し、このウェル領域が上記素子分離領域によって電氣的に区分されて第3のビット線を構成していることを特徴としている。

上記構成によっても第2の発明の半導体記憶装置と同様な作用効果を奏する。更には、上記活性領域は蛇行し、該蛇行の各折り返し箇所に不純物拡散領域が形成されている。そのため、同一の活性領域上に複数のビット線またはビット線と

プレート電極とを設け、夫々ソース領域またはドレイン領域と接続することが可能となる。また、各活性領域内の蛇行の各折り返し箇所形成された不純物拡散領域は、同一の活性領域内でチャンネル領域を介して隣り合う不純物拡散領域と夫々対をなして、電界効果トランジスタのソース領域、ドレイン領域として働く。つまり、各不純物拡散領域は夫々2つの電界効果トランジスタにより共有されている。したがって、素子面積を小さくすることができる。

したがって、第3の発明の半導体記憶装置によれば、高集積化およびランダムアクセスが可能となる。

1実施の形態では、上記複数のビット線とは、同一の活性領域内で蛇行の一方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられた第1のビット線と同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上を通るように設けられた第2のビット線とからなることを特徴としている。

上記実施の形態によれば、上記同一の活性領域内で、第1のビット線が蛇行の一方の側の折り返し箇所に設けられた上記不純物拡散領域上に設けられ、第2のビット線が蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域上に設けられ、各ビット線とその下に存する各不純物拡散領域とはコンタクト孔を介して接続されている。そのため、第1のビット線に接続された各不純物領域をソース領域およびドレイン領域の一方として機能させ、第2のビット線に接続された各不純物領域をソース領域およびドレイン領域の他方として機能させることができる。さらには、平面パターンレイアウトでは、第1ビット線と第2ビット線とを分離するマージンを必要とせず、第1ビット線(第2ビット線)を上記1方向とは交差する方向にピッチ2Fで並べることが可能となる。したがって、1つのセルの面積を、例えば $4F^2$ にまで更に縮小することができる。

更には、ソース領域およびドレイン領域には夫々ビット線毎に独立した電位を与えることができるので、例えば電荷を保持する膜としてシリコン窒化膜を用いれば、ソース領域とドレイン領域との役割を入れかえることにより、1トランジスタで2ビットの情報を記憶することが可能となる。

1実施の形態では、上記第1のビット線と上記第2のビット線とは、夫々層間

絶縁膜により電氣的に分離された別の配線層からなることを特徴としている。

上記実施の形態によれば、第1のビット線と第2のビット線とは、半導体基板からの高さの夫々異なる別の配線層からなる。したがって、平面パターンレイアウト上で第1のビット線と第2のビット線とを分離するマージンがなくても、第1のビット線と第2のビット線とを容易に分離することができる。

1 実施の形態では、上記複数のビット線は、夫々下に存する上記不純物拡散領域に1つ置きにコンタクト孔を介して接続され、

上記複数のビット線が接続されていない不純物拡散領域にプレート電極が接続されていることを特徴としている。

10 上記実施の形態によれば、上記ソース領域およびドレイン領域の一方とビット線とが接続され、上記ソース領域およびドレイン領域の他方はプレート電極と接続されている。すなわち、上記同一の活性領域上には1本のビット線のみが存在することとなる。

したがって、上記同一の活性領域上に複数のビット線を設けた場合に比べて配線構造が単純であるから製造が容易となる。さらに、上記プレート電極は、例えば常に一定の電位を与えておけば良いから、メモリを駆動する回路を単純化することができて、半導体記憶装置の高集積化および低コスト化が実現される。

1 実施の形態では、上記ワード線の一部を構成するゲート電極とチャネル領域との間にメモリ機能を有する膜が存することを特徴としている。

20 上記実施の形態によれば、上記ゲート電極と上記チャネル領域またはソース・ドレイン領域との間に電位差を加えることにより、容易に上記メモリ機能を有する膜に対する書き換えを行なうことができる。また、メモリ機能を有する膜はまた、ゲート絶縁膜としての機能を有するので、記憶された情報は電界効果トランジスタの閾値の変化として容易に検出することができる。

25 1 実施の形態では、上記ワード線の一部を構成するゲート電極の側壁にメモリ機能を有する膜が存することを特徴としている。

上記実施の形態によれば、メモリ機能を有する膜がゲート電極の側壁に設けられており、ゲート絶縁膜はメモリ効果を有する必要がないため薄膜化が容易である。そのため、短チャネル効果を容易に抑制することができる。さらには、メモ

リ機能を有する膜が効果的に分離されているので2ビット化が容易である。したがって、半導体記憶装置の微細化、低コスト化が実現される。

1実施の形態では、上記メモリ機能を有する膜は、半導体又は導体からなる微粒子を散点状に含む絶縁膜であることを特徴としている。

5 この明細書において「微粒子」とは、ナノメートル(nm)オーダーの寸法を持つ粒子を意味する。

上記実施の形態では、上記メモリ機能を有する膜は、半導体または導体からなる微粒子を散点上に含む絶縁膜であるから、記憶漏れの問題が軽減される。したがって、素子の信頼性を向上することができる。更には、電荷は散点状の微粒子内に蓄積されるので、1トランジスタで2ビット化するのに適している。

1実施の形態では、上記メモリ機能を有する膜は、シリコン窒化膜とシリコン酸化膜の積層膜であることを特徴としている。

上記実施の形態では、上記メモリ機能を有する膜はシリコン窒化膜とシリコン酸化膜の積層膜であり、電荷をトラップする機能を有する。そのため、記憶電荷の漏れの問題が軽減される。したがって、素子の信頼性を向上することができる。更には、電荷はシリコン窒化膜内で局所的に蓄積されるので、1トランジスタで2ビット化するのに適している。1実施の形態では、上記メモリ機能を有する膜は、シリコン窒化膜がシリコン酸化膜で挟まれた構造を有する膜である事を特徴としている。

20 上記実施の形態では、上記メモリ機能を有する膜はシリコン窒化膜がシリコン酸化膜で挟まれた構造であるので、注入された記憶電荷を効率的にトラップすることができる。したがって、よりメモリ膜の性能を向上することができる。

1実施の形態では、上記メモリ機能を有する膜は、シリコン膜がシリコン酸化膜で挟まれた構造を有する膜であることを特徴としている。

25 上記実施の形態では、上記メモリ機能を有する膜は、シリコン膜がシリコン酸化膜で挟まれた構造を有するので、フラッシュメモリと同様な製造工程を用いることができる利点があり、信頼性の確立された製法で面積の小さなメモリセルを実現できる。

1実施の形態では、上記シリコン膜は、多結晶シリコンからなることを特徴と

している。

上記実施の形態では、上記シリコン膜は多結晶シリコンからなるので、通常の LPCVD 装置で形成することができ、比較的容易に面積の小さなメモリセルを実現できる。

- 5 1 実施の形態では、上記ワード線のうち上記チャネル領域上に存する部分がゲート電極を構成することを特徴としている。

上記実施の形態によれば、上記ワード線のうち上記チャネル領域上に存する部分がゲート電極を構成するので、ゲート電極とワード線を接続するためにコンタクトや上部配線を用いる必要がない。そのため、メモリセルの構造が単純化され、
10 製造工程を減らすことができる。したがって、製造コストを下げることができる。

1 実施の形態では、

書込み時または消去時に、

選択されたメモリセルにおいて、上記ワード線と上記ビット線との間の電位差の絶対値 V 、または、上記ワード線と上記第 1 ビット線との間の電位差の絶対値 V 、または、上記ワード線と上記第 2 ビット線との間の電位差の絶対値 V 、また
15 は、上記ワード線と上記第 3 ビット線との間の電位差の絶対値 V が、 $V = V_{DD}$ である場合に、

選択ワード線もしくは選択ビット線の何れか一方のみに接続されているメモリセルに関して、 $V_{DD}/3 \leq V < V_{DD}/2$ となることを特徴としている。

- 20 上記実施の形態によれば、選択されたメモリセルにかかる電圧と、非選択のメモリセルにかかる電圧の最大値との比が大きくなる。したがって、動作マージンの大きなメモリが実現される。

また、第 4 の発明の半導体集積回路は、上記第 1 の発明乃至第 3 発明の何れか一つの発明における何れかの実施の形態の半導体記憶装置と、ロジック回路とを
25 混載したことを特徴としている。

上記構成によれば、例えば大規模なプログラムを一時的に読み込み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能になり、機能の向上を図ることができる。

図面の簡単な説明

図 1 は、この発明の半導体記憶装置における第 1 実施の形態の平面パターンを示す図である。

図 2 は、図 1 における A - A' 矢視断面図である。

5 図 3 は、図 1 における B - B' 矢視断面図である。

図 4 は、図 1 における C - C' 矢視断面図である。

図 5 は、第 1 実施の形態の半導体記憶装置における回路図である。

図 6 は、第 2 実施の形態の半導体記憶装置における断面図である。

図 7 は、第 2 実施の形態の半導体記憶装置における回路図である。

10 図 8 は、第 2 a 実施の形態の半導体記憶装置における概略の断面図である。

図 9 は、第 2 b 実施の形態の半導体記憶装置における概略の断面図である。

図 10 は、第 4 実施の形態の半導体記憶装置における概略の断面図である。

図 11 は、第 5 実施の形態の半導体記憶装置における平面パターンを示す概略図である。

15 図 12 は、図 11 における G - G' 矢視断面図である。

図 13 は、図 11 における H - H' 矢視断面図である。

図 14 は、第 5 実施の形態の変形例における平面パターンを示す概略図である。

図 15 は、図 14 における I - I' 矢視断面図である。

図 16 は、図 14 における J - J' 矢視断面図である。

20 図 17 は、第 5 実施の形態の半導体記憶装置における回路図である。

図 18 は、第 6 実施の形態の半導体記憶装置における断面図である。

図 19 は、図 18 とは異なる方向への断面図である。

図 20 は、第 6 実施の形態の変形例における断面図である。

図 21 は、図 20 とは異なる方向への断面図である。

25 図 22 は、第 6 実施の形態の半導体記憶装置における回路図である。

図 23 は、第 6 実施の形態の他の変形例におけるメモリセルの断面図である。

図 24 は、第 7 実施の形態の半導体記憶装置におけるメモリセルの断面図である。

図 25 は、第 8 実施の形態の半導体記憶装置におけるメモリセルの断面図であ

る。

図 26 は、第 9 実施の形態の半導体記憶装置におけるメモリセルの断面図である。

図 27 は、第 10 実施の形態の半導体記憶装置におけるメモリセルの断面図である。

図 28 は、図 27 におけるメモリ機能膜の容量 C と印加電圧 $V_g(+3V \rightarrow -3V \rightarrow +3V)$ との関係を示す図である。

図 29 は、図 28 とは異なる容量 C と印加電圧 $V_g(+1V \rightarrow -1V \rightarrow +1V)$ との関係を示す図である。

図 30 は、第 12 実施の形態の半導体記憶装置におけるメモリセルの断面図である。

図 31 は、第 13 実施の形態の半導体記憶装置におけるメモリセルの断面図である。

図 32 は、従来の AND 型メモリセルアレイにおける平面パターンを示す図である。

発明を実施するための最良の形態

以下、この発明を図示の実施の形態により詳細に説明する。この発明が適用できる半導体基板としては特に限定されないが、シリコン基板が好ましい。また、上記半導体基板は、P 型または N 型の導電型を有していても良い。尚、以下の各実施の形態は、シリコン基板を用いた場合を示している。N 型あるいは P 型のシリコン基板を用いた場合も、同様な工程により、同様な機能の半導体記憶装置を形成することができる。また、以下の各実施の形態は、N 型素子をメモリとした場合について述べているが、P 型素子をメモリとして用いても一向に差し支えない。その場合には、注入不純物の導電型を全て逆型にすればよい。

(第 1 実施の形態)

本実施の形態について、図 1～5 に基づいて説明すれば以下の通りである。

図 1～4 は、本実施の形態となる半導体記憶装置であるメモリセルアレイの概略図である。図 1 は、平面の概略図である。図 2 は図 1 の切断面線 A-A' から

見た断面図であり、図3は図1の切断面線B-B'から見た断面図であり、図4は図1の切断面線C-C'から見た断面図である。図5は、本発明の第1の形態となる半導体記憶装置であるメモリセルアレイの回路図である。

まず、本実施の形態の半導体記憶装置の構成を図1～4に基づいて説明する。

図2～図4から分かるように、シリコン基板17内にはP型のウェル領域18が形成されている。さらに、複数の素子分離領域16が、図1における横方向に蛇行して延びるように形成されている(図1中で、それぞれ蛇行した帯状の領域に斜線を施している。)。素子分離領域16の縦方向のピッチは2F(Fは最小加工ピッチ)に設定されている。これにより、ウェル領域18の上部で隣り合う素子分離領域16の間に、それぞれ横方向に蛇行して延びるシリコン活性領域が残されている。素子分離領域16の深さは、次に述べるN⁺拡散層19を電氣的に分離するが、P型のウェル領域18は電氣的に分離しないように設定される。

図1～図4を総合すれば分かるように、上記各シリコン活性領域内の蛇行の各折り返し箇所(コンタクト14, 15に対応する部分)に、それぞれ不純物拡散領域としてのN⁺拡散層19が形成されている。各N⁺拡散層19は、このメモリの使用時にビット線による選択に応じてソース領域またはドレイン領域として働く。その時、同一の活性領域内で隣り合うN⁺拡散層19の間の領域がそれぞれチャネル領域となる。

ポリシリコンからなる複数のワード線11が、素子分離領域16が延びる方向とは垂直方向(図1における縦方向)にストレートに延びるように形成されている。ワード線11の横方向のピッチは2Fに設定されている。ワード線11で覆われているシリコン活性領域(ウェル領域18の上部)は、チャネル領域となっている。チャネル領域とワード線11とは、トンネル酸化膜23、フローティングゲート21及び酸化膜24からなる積層膜により隔てられている。このチャネル領域上でワード線11がコントロールゲートの役割をはたしている。

第1層メタルからなる複数の第1ビット線12が、ワード線11とは垂直方向(図1における横方向)にストレートに延びるように形成されている。第1ビット線12の縦方向のピッチは2Fに設定され、同一のシリコン活性領域内で蛇行の片側(図1では山側)の折り返し箇所に設けられたN⁺拡散層19上を通るように

設けられている。この第1ビット線12とその直下に存するN⁺拡散層19とは、横方向に関してピッチ4Fで、第1ビット線コンタクト14により接続されている。また、第2層メタルからなる複数の第2ビット線13が、第1ビット線12と同じ方向で第1ビット線の隙間となる位置に、第1ビット線と平行にストレートに延びるように形成されている。第2ビット線13の縦方向のピッチは2Fに設定され、同一のシリコン活性領域内で蛇行の他方の側(図1では谷側)の折り返し箇所に設けられたN⁺拡散層19上を通るように設けられている。この第2ビット線13とその直下に存するN⁺拡散層19とは、横方向に関してピッチ4Fで、第2ビット線コンタクト15により接続されている。第1および第2のビット線12, 13は、互いに層間絶縁膜20で分離され、上述のようにそれぞれ必要ところでコンタクト14, 15を介してN⁺拡散層19と接続されている。

上記構成によれば、1つのメモリセルは図1中に二点鎖線で示す平行四辺形22で表され、その面積は4F²である。

本実施の形態のメモリセルが、従来技術よりセル面積を縮小できたのは、以下の理由による。第1に、従来技術のように半導体基板中の不純物拡散層をビット線とするのではなく、シリコン基板17上に第1及び第2のビット線12, 13が形成されている。それゆえ、第1のビット線12、第2のビット線13を、それぞれ層間絶縁膜20で分離された別の配線層を用いて形成することができる。したがって、平面パターンレイアウトでは、第1及び第2のビット線12, 13を分離するマージンを必要としない。このようなレイアウトが可能になった直接の理由は、活性領域(素子分離領域16以外の領域)の形状が横方向に関して周期4Fの波型になっているからである。第2に、各活性領域内の蛇行の各折り返し箇所に形成されたN⁺拡散層19は、同一の活性領域内でチャネル領域を介して隣り合うN⁺拡散層19とそれぞれ対をなして、電界効果トランジスタのソース領域、ドレイン領域として働く。つまり、各N⁺拡散層19はそれぞれ2つの電界効果トランジスタにより共有されている。したがって、更に素子面積を小さくすることができる。

次に、本実施の形態の半導体記憶装置の回路構成を、図5に基づいて説明する。このメモリセルアレイは、いわゆるAND型で配列されている。すなわち、一本

の第1ビット線と一本の第2ビット線とが一对をなしており、これらのビット線
の間にn個のメモリセルが並列に接続されている。図5では、例えば1番目のビ
ット線対の第1ビット線をBa1、1番目のビット線対の第2ビット線をBb1
と表記している。また、例えば1番目のビット線対に接続されているn番目のメ
5 モリセルをM1nと表記している。各ビット線には選択トランジスタが設けられ
ている。図5では、例えば1番目のビット線対の第1ビット線選択トランジスタ
をSTBa1と表記している。また、n本のワード線が、各ビット線と垂直方向
に走り、メモリセルのゲート間を接続している。図5では、各ワード線をW1～
Wnで表記している。

10 次に、本実施の形態の半導体記憶装置の動作例を、図5に基づいて説明する。
例としてメモリセルのしきい値の低い状態を書込状態とし、メモリセルのしきい
値の高い状態を消去状態とする。また、例として、第1ビット線にドレイン領域
が接続され、第2ビット線にソース領域が接続されているとする。図5において、
メモリセルM12に書込む場合、ワード線W2に負電圧(例えば-8V)を印加し、
15 第1ビット線Ba1に正電圧(例えば6V)を印加し、さらに選択トランジスタS
TBa1をオン状態にする。この時、選択トランジスタSTBb1はオフ状態と
し(ソース領域はオープンとなる)、P型のウェル領域は接地電位とする。こうす
ることにより、メモリセルM12のコントロールゲートとドレイン領域との間に
高電圧がかかり、FN(ファウラーノルドハイム)トンネリングによりフローティ
20 ングゲートからドレイン領域に電子が引き抜かれ、書込が行われる。

一方消去は、選択されたワード線上の全てのメモリセルを一括して行う。図5
においてメモリセルM12とM22を消去する場合、ワード線W2に正電圧(例
えば10V)を印加し、第2ビット線Bb1及びBb2に負電圧(例えば-8V)
を印加し、選択トランジスタSTBb1及びSTBb2をオン状態にする。この
25 時、選択トランジスタSTBa1及びSTBa2はオフ状態にし(ドレイン領域
はオープンとなる)、共通のP型のウェル領域には-8Vを印加する。こうす
ることにより、メモリセルM12及びM22のコントロールゲートとP型ウェル領
域との間に高電圧がかかり、FNトンネリングによりP型ウェル領域からフロー
ティングゲートへ電子が注入され、消去が行われる。

図5において、メモリセルM12のデータの読み出しは、ワード線W2に正電圧(例えば3V)を印加し、第1ビット線Ba1に正電圧(例えば1V)を印加し、さらに選択トランジスタSTBa1をオン状態にする。この時、第2ビット線Bb1は接地電位とし、選択トランジスタSTBb1はオン状態として、メモリセルM12のソースを接地電位とする。なお、P型ウェル領域は接地電位とする。こうすることにより、メモリセルM12のデータを読み出すことができる。

なお、書き込み、消去、読み出しにおける各ノードの設定電圧は、上記の電圧に限られるものではない。

また、本実施の形態の半導体記憶装置であるメモリと、論理回路とを1つの集積回路上に混載してもよい。本実施の形態の半導体記憶装置であるメモリと、論理回路に加え、その他のメモリ(DRAM、SRAM等)も混載しても良い。その場合、本実施の形態の半導体記憶装置であるメモリが占める面積が小さくなった分、論理回路や他のメモリの面積を大きくとることができ、機能の向上を図ることができる。もしくは、本実施の形態の半導体記憶装置であるメモリの記憶容量を大きくとることができる。その場合、例えば、大規模なプログラムを一時的に読みこみ、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能になり、かつ、そのプログラムを他のプログラムと入れかえることもできる。

次に、本実施の形態の半導体記憶装置を作製する手順を説明する。まず、シリコン基板17内に電気絶縁性の素子分離領域16を形成し、続いてP型のウェル領域18を形成する。その後、熱酸化によりトンネル酸化膜23を形成し、CVD法によりポリシリコン膜を形成する。このポリシリコン膜をフォトリソグラフィとエッチングによりパターン加工し、フローティングゲート21を形成する。その後、酸化膜とポリシリコン膜を、この順にそれぞれCVD法で形成する。このポリシリコン膜、酸化膜及びフローティングゲート21をフォトリソグラフィとエッチングによりパターン加工し、ワード線11を形成する。ここで、N型の不純物を、ワード線11をマスクとして低エネルギーで注入すると、自己整合的にN⁺拡散層19が形成される。この後、層間絶縁膜の堆積、コンタクト工程、メタル工程を繰り返し行い、第1ビット線12及び第2ビット線13を形成する。

本実施の形態の半導体記憶装置においては、1つのセルの面積が $4F^2$ であり、従来のAND型メモリセルアレイよりも小さい。したがって、高集積化が可能となり、製品の歩留りが向上し、製造コストを削減することができる。

また、本実施の形態の半導体記憶装置であるメモリと、論理回路、その他のメモリ(DRAM、SRAM等)とを混載した場合、集積回路の集積度が向上し、機能の向上を図ることができる。

(第2実施の形態)

本実施の形態について、図6及び図7に基づいて説明すれば以下の通りである。

本実施の形態の半導体記憶装置の構造が、上記第1実施の形態の半導体記憶装置と異なるのは、ウェル領域の構造のみである。図6は、図1の切断面線B-B'から見た断面図である。シリコン基板17内にはN型の深いウェル領域25とP型の浅いウェル領域26が形成されている。このウェル領域26は素子分離領域16によって複数に区分されている。素子分離領域16の深さは、素子分離領域16をはさむ両側のP型の浅いウェル領域26を、互いに電気的に分離するように設定される。区分された各ウェル領域26は、上記第1実施の形態と同様に、それぞれ図1における横方向に蛇行して延びている。これら区分された各ウェル領域26は、次に述べるように、それぞれ第3のビット線として働く。

次に、本実施の形態の回路構成を、図7に基づいて説明する。本実施の形態の回路構成が、上記第1実施の形態の回路構成と異なるのは、各メモリセルの浅いウェル領域26が第3ビット線を形成している点である。この第3ビット線は、第1ビット線及び第2ビット線からなる1対のビット線に並列に接続されたメモリセルの浅いウェル領域を接続している。この第3ビット線には選択トランジスタが接続されている。図7では、例えば、1番目の第3ビット線はBw1、それに対応する選択トランジスタはSTBw1と表記されている。

既述の第1実施の形態では、1ビット毎の消去はできない。なぜならば、ウェル領域とソース、ドレイン領域間を順方向バイアス状態にすることはできない(PN順方向電流が流れる)ため、ウェル領域がすべてのメモリセルで共通の場合、1ビットのみを選択的に選ぶようなバイアスを加えることが不可能だからである。しかし、本実施の形態では、第3ビット線が加わったことにより、1ビット毎の

消去が可能となる。図7においてメモリセルM12のみを消去する場合、ワード線W2に正電圧(例えば10V)を印加し、第2ビット線Bb1に負電圧(例えば-8V)を印加し、選択トランジスタSTBb1をオン状態にする。この時、選択トランジスタSTBa1はオフ状態にする(ドレイン領域はオープンとなる)。

5 この時さらに、第3ビット線Bw1には-8Vを印加し、選択トランジスタSTBw1をオン状態にする。ここで、例えば他の第3ビット線及び他の第1ビット線に接地電位を印加し、それぞれの選択トランジスタをオンにする。こうすることにより、メモリセルM12のコントロールゲートとP型の浅いウェル領域との間にのみ高電圧がかかり、FNトンネリングによりP型の浅いウェル領域からフローティングゲートへ電子が注入され、メモリセルM12が単独で消去される。

10 本実施の形態で重要なことは、ウェル領域を複数に区分して、第3のビット線を設けたことである。第3のビット線を設けることにより、ランダムに1ビットのみを選択して、書き込み、消去、読み出しを行うことが可能となる。

15 上記第1実施の形態と同様に、本実施の形態であるメモリと、論理回路とを1つの集積回路上に混載してもよい。本実施の形態であるメモリと、論理回路に加え、その他のメモリ(DRAM、SRAM等)も混載しても良い。その場合、本実施の形態であるメモリが占める面積が小さくなった分、論理回路や他のメモリの面積を大きくとることができ、機能の向上を図ることができる。もしくは、本実施の形態であるメモリの記憶容量を大きくとることができる。その場合、例えば、
20 大規模なプログラムを一時的に読みこみ、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能になり、かつ、そのプログラムを他のプログラムと入れかえることもできる。

25 本実施の形態の半導体記憶装置の作製手順が、上記第1実施の形態の作製手順と異なるのは、ウェル領域の形成において、N型の深いウェル領域25の形成とP型の浅いウェル領域26の形成の2つの工程を要する点である。N型の深いウェル領域25とP型の浅いウェル領域26との接合の深さは、不純物の注入条件(注入エネルギーと注入量)とその後の熱工程(アニール工程や熱酸化工程など)によって決まる。これら不純物注入条件や熱工程条件と、素子分離領域16の深さは、素子分離領域16がP型の浅いウェル領域26を電氣的に分離するように設

定される。

本実施の形態においては、1つのセルの面積が $4F^2$ であり、従来のAND型メモリセルアレイよりも小さい。したがって、高集積化が可能となり、製品の歩留りが向上し、製造コストを削減することができる。

- 5 また、本実施の形態においては、1ビット毎の消去ができ、ランダムアクセスが可能となる。したがって、アクセス方法の制約がなくなり、製品応用がしやすくなる。

10 また、本実施の形態の半導体記憶装置であるメモリと、論理回路、その他のメモリ(DRAM、SRAM等)とを混載した場合、集積回路の集積度が向上し、機能の向上を図ることができる。

(第2a実施の形態)

15 本実施の形態について、図8に基づいて説明すれば以下の通りである。本実施の形態の構造が、上記第2実施の形態と異なるのは、フローティングゲートとして、ナノメートル(nm)オーダーの寸法を持つ半導体または導体からなる微粒子(以下「離散ドット」という。)32を用いている点である(図8)。離散ドット32は、トンネル酸化膜23上に散点状に形成され、絶縁膜としてのシリコン酸化膜33によって覆われている。離散ドット32は規則正しく配列していても良いし、ランダムに配置されていても良い。また、離散ドットは3次元的に配列していても良く、例えば、離散ドットの真上に絶縁膜を介して別の離散ドットが配置されても良い。回路図上では、上記第2実施の形態(図7)と全く同じである。ここで離散ドットの例としては、シリコン微粒子や、金属微粒子等が挙げられる。

20 上記第1実施の形態のようにウェル領域が共通である構造では、フローティングゲートとして離散ドット32を用いたメモリセルに対しては書き込みを行うことができない。なぜなら、書き込み時には、コントロールゲートとドレイン領域との間に高電圧がかかるので、ドレイン領域に近い電子しか引き抜かれないからである。しかし、ウェル領域を分離して第3のビット線とすることにより、フローティングゲートとして離散ドット32を用いたメモリセルに対しても、選択書き込み及び選択消去を行うことが可能となる。なぜなら、区分された浅いウェル領域26からなる第3ビット線にして、それぞれ独立した電位を与えることができ

るからである。

フローティングゲートとして離散ドット 3 2 を用いたときの動作例を以下に説明する。図 7 において、メモリセル M 1 2 に書込む場合、ワード線 W 2 に負電圧 (例えば -8 V) を印加し、第 1 ビット線 B a 1、第 2 ビット線 B b 1 及び第 3 ビット線 B w 1 に正電圧 (例えば 6 V) を印加し、さらに選択トランジスタ S T B a 1、S T B b 1 及び S T B w 1 をオン状態にする。すなわち、メモリセル M 1 2 のコントロールゲートに -8 V が印加され、ソース領域、ドレイン領域及び P 型の浅いウェル領域に 6 V が印加される (図 8)。ここで、例えば他の第 1 ビット線、第 2 ビット線及び第 3 ビット線に接地電位を印加し、それぞれの選択トランジスタをオンにする。こうすることにより、メモリセル M 1 2 のコントロールゲートとソース領域、ドレイン領域及び P 型の浅いウェル領域との間のみに高電圧がかかり、電子が酸化膜 3 3 を F N トンネリングする。すなわち、離散ドット 3 2 又は電荷をトラップする膜から電子が引き抜かれ、書き込みが行われる。なお、メモリセル M 1 2 を消去する時には、メモリセル M 1 2 のコントロールゲートと、ソース領域、ドレイン領域及び P 型の浅いウェル領域との間にのみ高電圧がかかるようにすればよい。すなわち、コントロールゲートに正電圧 (例えば 10 V) を印加し、ソース領域、ドレイン領域及び P 型の浅いウェル領域に負電圧 (例えば -6 V) を印加すればよい。かくして、フローティングゲートとして離散ドットを用いたメモリセルや、電荷をトラップする膜を用いたメモリセルに対しても 1 ビット毎の消去が可能になる。

なお、書き込み、消去、読み出しにおける各ノードの設定電圧は、上記の電圧に限られるものではない。直接トンネリングを用いるようなメモリ膜構成の場合、各ノードの設定電圧は上記例よりも低く設定可能である。

次に、本実施の形態の半導体記憶装置を作製する手順を説明する。本実施の形態の作製手順が、上記第 2 実施の形態の作製手順と異なるのは、フローティングゲートの形成においてのみである。すなわち、トンネル酸化膜 2 3 を形成した後、L P C V D 法でシリコン微結晶を形成し、トンネル酸化膜 2 3 上に降り積もらせて離散ドット 3 2 を形成する。その後、C V D 法で酸化膜 3 3 を形成する。この後は、上記第 2 実施の形態の作製手順と同様である。

本実施の形態の半導体記憶装置では、上記第2実施の形態の半導体記憶装置に比べて以下の利点がある。

フローティングゲートとして離散ドットを用いた場合、フラッシュメモリに比べて記憶電荷の漏れの問題が軽減される。したがって、素子の信頼性を向上することができる。また、離散ドットを用いたメモリの一形態である量子ドットメモリを用いた場合、書き込み及び消去に直接トンネリングを用いることができるため、素子の劣化を抑制し、信頼性を向上することができる。

(第2b実施の形態)

本実施の形態について、図9に基づいて説明すれば以下の通りである。本実施の形態の半導体記憶装置の構造が、上記第2実施の形態の半導体記憶装置と異なるのは、フローティングゲートのかわりに電荷をトラップする膜34を用いている点である(図9)。回路図上では、上記第2実施の形態(図7)と全く同じである。

本実施の形態においては、上記第2a実施の形態で述べたのと同じ理由で、フローティングゲートのかわりに電荷をトラップする膜を用いたメモリセルに対して、選択書き込み及び選択消去を行うことが可能である。ここで、電荷をトラップする膜とは、例えば $\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜や $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜(ONO膜)、であり、これを用いた素子としては、例えばMNOS、SNOS、SONOSが挙げられる。なお、ここではシリコン窒化膜を Si_3N_4 と、シリコン酸化膜を SiO_2 とそれぞれ表記しているが、これにより各元素の成分比を限定するものではない。また、電荷をトラップする膜のかわりにヒステリシス特性を有する強誘電メモリ膜を用いても良い。

フローティングゲートのかわりに電荷をトラップする膜を用いたときの動作例は、上記第2a実施の形態で説明したものと同様なものでよい。ただし、書き込み、消去、読み出しにおける各ノードの設定電圧は、電荷をトラップする膜に応じて最適な値を用いるのが好ましい。

次に、本実施の形態の半導体記憶装置を作製する手順を説明する。本実施の形態の作製手順が、上記第2実施の形態の作製手順と異なるのは、フローティングゲートのかわりに電荷をトラップする膜を形成するという点のみである。電荷をトラップする膜は、熱酸化工程やCVDによる成膜工程を組み合わせればよい。

フローティングゲートとして離散ドットを用いた場合、フラッシュメモリに比べて記憶電荷の漏れの問題が軽減される。したがって、素子の信頼性を向上することができる。

(第3実施の形態)

- 5 本実施の形態は、上記第2実施の形態または上記第2a実施の形態もしくは上記第2b実施の形態の半導体記憶装置において、選択されたメモリセルのメモリ機能膜にかかる電位と、非選択のメモリセルのメモリ機能膜にかかる電位の比をできる限り大きくした半導体記憶装置に関する。

- 10 一般に、メモリセルの書き込み時または消去時には、選択されたメモリセルのメモリ機能膜に大きな電圧がかかる。そして、非選択のメモリセルのメモリ機能膜にもある程度の電圧がかかってしまう。したがって、誤動作を防ぐためには、選択されたメモリセルのメモリ機能膜にかかる電圧と、非選択のメモリセルのメモリ機能膜にかかる電圧の最大値との比をできるだけ大きくするのが好ましい。

- 15 一般的に行われている方法では、例えば消去時には、選択ワード線の電位を V_{DD} に、選択ビット線の電位を接地電位に、その他のワード線及びビット線の電位を $V_{DD}/2$ にする。このとき、選択されたメモリセルのメモリ機能膜には電圧 V_{DD} が、非選択のメモリセルのメモリ機能膜には電圧0または $V_{DD}/2$ がかかる。このとき、選択されたメモリセルのメモリ機能膜にかかる電圧と、非選択のメモリセルのメモリ機能膜にかかる電圧の最大値との比は $1/2$ である。

- 20 本実施の形態の半導体記憶装置における、書き込み時及び消去時の各ワード線及びビット線への印加電圧を表1に示す。書き込み時には、選択ワード線に電位0、非選択ワード線に $(1-A) \times V_{DD}$ 、選択ビット線に V_{DD} 、非選択ビット線に $A \times V_{DD}$ を印加する。また、消去時には、選択ワード線に電位 V_{DD} 、非選択ワード線に $A \times V_{DD}$ 、選択ビット線に0、非選択ビット線に $(1-A) \times V_{DD}$ を印加する。ここで、 $1/3 \leq A < 1/2$ である($A=1/2$ のときは、上記一般的に行われている例となる)。選択されたメモリセルのメモリ機能膜にかかる電圧と、非選択のメモリセルのメモリ機能膜にかかる電圧の最大値との比は、 $A=1/3$ のとき(絶対値で)最大値3をとる。したがって、 $A=1/3$ とするのがもっとも好ましい。
- 25

表 1

書き込み時

ビット線 ワード線	(選択) V_{DD}	(非選択) $A \times V_{DD}$
(選択) 0	膜にかかる電圧 $-V_{DD}$	膜にかかる電圧 $-A \times V_{DD}$
(非選択) $(1-A) \times V_{DD}$	膜にかかる電圧 $-A \times V_{DD}$	膜にかかる電圧 $(1-2A) \times V_{DD}$

$$1/3 \leq A < 1/2$$

消去時

ビット線 ワード線	(選択) 0	(非選択) $(1-A) \times V_{DD}$
(選択) V_{DD}	膜にかかる電圧 V_{DD}	膜にかかる電圧 $A \times V_{DD}$
(非選択) $A \times V_{DD}$	膜にかかる電圧 $A \times V_{DD}$	膜にかかる電圧 $(2A-1) \times V_{DD}$

$$1/3 \leq A < 1/2$$

5 V_{DD} の具体的な値は、膜質や膜構造ごとに最適な値を決めればよい。具体的には、メモリ機能膜にかかる電圧の絶対値がが V_{DD} のときには電荷の注入または放出が起こり、メモリ機能膜にかかる電圧の絶対値がが $A \times V_{DD}$ のときには電荷の注入または放出が起こらないようにする。なお、読み出し時には、メモリ機能膜にかかる電圧が $A \times V_{DD}$ 以下となるようにするのが好ましく、その場合、読み出しにより記憶を破壊することがない。

本実施の形態においては、選択されたメモリセルのメモリ機能膜にかかる電圧と、非選択のメモリセルのメモリ機能膜にかかる電圧の最大値との比が大きく、

動作マージンの大きなメモリが実現される。

(第4実施の形態)

本実施の形態について、図10に基づいて説明すれば以下の通りである。

本実施の形態の半導体記憶装置は、上記第1、第2、第2a、第2b、第3実施の形
態のいずれかの半導体記憶装置におけるシリコン基板17に代えて、SOI
(Silicon on Insulator)基板37を用いた点が異なっている。このSOI基板
37は、シリコン基板17上に、埋め込み酸化膜35を介して、シリコンからな
るボディ36を備えている。本実施の形態の半導体記憶装置の平面図は図1と同
じである。図10は、本実施の形態の半導体記憶装置におけるメモリセルの断面
の模式図である(シート状のフローティングゲートを用いた例である)。埋め込み
酸化膜35上のボディ36を共通ボディとすれば上記第1実施の形態と同様な動
作をする。一方、素子分離領域16で区分された複数のボディ36にそれぞれ独
立した電位を与え、第3ビット線として用いれば、上記第2、第2a、第2b、第3
実施の形態のようにランダムアクセスが可能になる。フローティングゲート21
は、離散ドットまたは電荷をトラップする膜もしくはヒステリシスを有する強誘
電膜であってもよい。なお、図10では、完全空乏型の場合を示しているが、部
分空乏型にしてもよい。その場合は、第3ビット線となるボディの抵抗を低減し
て素子の高速化が可能となる。

次に、本実施の形態の半導体記憶装置を作製する手順を説明する。まず、SO
I基板37に素子分離領域16を形成する。その後、メモリ素子が適切な閾値を
もつように、ボディ35に不純物注入を行う。これ以降の上部構造の形成は、上
記第1、第2、第2a、第2b実施の形態を形成する手順と同様である。

本実施の形態においては、上記第1、第2、第2a、第2b、第3実施の形態で得ら
れる効果に加えて以下の効果が得られる。本実施の形態においては、厚い埋め込
み酸化膜35の存在のために、ボディ36とシリコン基板17との間の静電容量
を非常に小さくすることができる。一方、上記第2、第2a、第2b、第3実施の形
態では、浅いウェル領域26と深いウェル領域25との間の静電容量はかなり大
きい。また、SOI基板37を用いると、N⁺活性層19とボディ36との接合
容量を非常に小さくすることができる。そのため、本実施の形態においては、容

量を充電するための消費電流を小さくすることができる。さらにまた、SOI基板37を用いると、N⁺活性層19の深さを浅くするのが容易であり、短チャネル効果を抑制し、素子を微細化することができる。以上の理由から、SOI基板を用いることにより、低消費電力化及び微細化が可能となる。

5 (第5実施の形態)

本実施の形態の半導体記憶装置について、図11～図17に基づいて説明する。図11は、本実施の形態の半導体記憶装置におけるメモリセルアレイの平面パターンを示す概略図である。また、図12は図11におけるG-G'矢視断面図であり、図13は図11におけるH-H'矢視断面図である。また、図14～図16は、図11～図13に示すメモリセルアレイの変形例を示す。図14は平面パターンを示す概略図であり、図15は図14におけるI-I'矢視断面図であり、図16は図14におけるJ-J'矢視断面図である。また、図17は、図11～図16に示す半導体記憶装置の回路図である。

15 10 15 20 25 先ず、本実施の形態における半導体記憶装置の構成を図11～図13に基づいて説明する。図12, 図13に示すように、シリコン基板41内にはP型のウェル領域42が形成されている。さらに、複数の素子分離領域43の列が、ピッチ2F (Fは最小加工ピッチ) で、図11において斜線を施して示すように一方向(図11における横方向)に直線状に延在して形成されている。これによって、図12に示すように、ウェル領域42の上部に、隣接する素子分離領域43で挟まれて、上記横方向に延在するシリコン活性領域が形成される。尚、素子分離領域43の深さは、次に述べるN⁺拡散層44を電氣的に分離するが、P型のウェル領域42は電氣的に分離しないように設定される。

25 上記P型のウェル領域42の上部には、不純物拡散領域としてのN⁺拡散層44が形成されている。各N⁺拡散層44は、このメモリの使用時にビット線による選択に応じてソース領域あるいはドレイン領域として機能する。不純物が導入されたポリシリコン、ポリサイド、メタル等の導電体から成る複数のワード線45が、素子分離領域43の方向とは垂直方向(図11における縦方向)にストレートに延在して形成されている。ワード線45の下に位置するシリコン活性領域(ウェル領域42の上部)は、チャネル領域となっている。このチャネル領域とワー

ド線 4 5 とは、フローティングゲート 4 6 およびシリコン酸化膜 4 7 から成る積層膜によって隔てられている。このチャネル領域上でワード線 4 5 がコントロールゲートの役割を果たしている。

不純物が導入されたポリシリコン、ポリサイド、メタル等から成るプレート電極 4 8 が、プレート電極孔 4 9 (図 1 1 参照) 以外の領域において N^+ 拡散層 4 4 上、素子分離領域 4 3 上及びワード線 4 5 上を覆っている。そして、プレート電極 4 8 は、 N^+ 拡散層 4 4 におけるソース・ドレイン領域の一方と電気的に接続されている。また、プレート電極 4 8 とワード線 4 5 とは、絶縁膜 5 0 によって電気的に隔てられている。メタルから成る複数のビット線 5 1 が、ワード線 4 5 とは垂直方向 (図 1 1 における横方向) にストレートに延在して、ピッチ $2F$ で形成されている。素子形成領域 (ウェル領域 4 2 上) とビット線 5 1 が形成された配線層とは、層間絶縁膜 5 2 で分離されており、ビット線 5 1 と上記ソース・ドレイン領域の他方とは、プレート電極孔 4 9 の位置に設けられビット線コンタクト 5 3 によって、ピッチ $4F$ で接続されている。尚、1 つのメモリセルは図 1 1 中に二点鎖線で示す矩形 5 4 で表され、その面積は $4F^2$ である。

メモリセルアレイは、図 1 4 ~ 図 1 6 (図 1 1 ~ 図 1 3 と同じ部品番号を使用) に示す形状であってもよい。図 1 4 ~ 図 1 6 に示すメモリセルアレイの場合にはプレート電極 4 8 が短冊型を成しており、この短冊型のプレート電極 4 8 がワード線 4 5 と同じ方向にピッチ $4F$ で並行に配列されている。そして、ビット線コンタクト 5 3 は、プレート電極 4 8 の無い領域 (プレート電極 4 8 間) で上記ソース・ドレイン領域の他方と接続されて、ワード線 4 5 の延在方向にピッチ $2F$ で直線的に並んでいる。

次に、本実施の形態における半導体記憶装置の回路構成を、図 1 7 に基づいて説明する。この半導体記憶装置を構成するメモリセルアレイは、所謂 AND 型で配列されている。すなわち、一本のビット線 B に n 個のメモリセル M が並列に接続されている。図 1 7 においては、例えば、1 番目のビット線を $B1$ と表記し、上記 1 番目のビット線 $B1$ に接続されている n 番目のメモリセルを $M1n$ と表記している。また、 n 本のワード線 W が、各ビット線 B に対して垂直方向に配列されて、各メモリセル M のコントロールゲート 1 5 間を接続している。図 1 7 におい

ては、各ワード線をW1～Wnで表記している。尚、上記ソース・ドレイン領域の一方の夫々はプレート電極(P1tと表記)で接続されている。

次に、本実施の形態における半導体記憶装置の動作例を、図17に基づいて説明する。例として、各メモリセルにおける閾値が低い状態を書込状態とし、閾値が高い状態を消去状態とする。また、例として、ビット線Bにドレイン領域が接続され、プレート電極P1tにソース領域が接続されているものとする。尚、プレート電極P1tは、他のノードとの間の静電容量が大きく、電位は一定に保つておくことが望ましい。以下においては、プレート電極P1tの電位を常に0Vとした例を示すが、この発明は、この限りではない。

図17において、メモリセルM12に書き込む場合は、ワード線W2に負電圧(例えば-8V)を印加し、ビット線B1に正電圧(例えば6V)を印加する。その場合、プレート電極P1tおよびP型のウェル領域42の電位は接地電位(0V)とする。こうすることによって、メモリセルM12におけるコントロールゲート45とドレイン領域との間に高電圧が掛り、FN(ファウラーノルドハイム)トンネリングによってフローティングゲート46からドレイン領域に電子が引き抜かれて書き込が行われる。

一方、消去は、選択されたワード線W上の総てのメモリセルMに対して一括して行う。図17において、メモリセルM12とメモリセルM22とを消去する場合は、ワード線W2に正電圧(例えば18V)を印加し、プレート電極P1tおよびP型のウェル領域42の電位を接地電位(0V)とする。その場合、ドレイン領域はオープンとする。こうすることによって、メモリセルM12およびメモリセルM22のコントロールゲート45とP型ウェル領域42との間に高電圧が掛り、FNトンネリングによってP型ウェル領域42からフローティングゲート46へ電子が注入され、消去が行われる。

また、図17において、上記メモリセルM12のデータを読み出す場合には、ワード線W2に正電圧(例えば3V)を印加し、1番目のビット線B1に正電圧(例えば1V)を印加する。その場合、プレート電極P1tおよびP型のウェル領域42の電位は接地電位(0V)とする。こうすることによって、メモリセルM12のデータを読み出すことができる。

尚、上記書き込み、消去、読み出しにおける各ノードの設定電圧は、上述した電圧に限定されるものではない。

また、本実施の形態の半導体記憶装置であるメモリと、論理回路とを1つの集積回路上に混載してもよい。あるいは、本実施の形態の半導体記憶装置であるメモリと論理回路とに加え、その他のメモリ(DRAMやSRAM等)を混載しても良い。その場合、本実施の形態の半導体記憶装置であるメモリが占める面積が上述したごとく小さくできる分、上記論理回路や他のメモリの面積を大きく確保することができ、機能の向上を図ることができる。あるいは、本実施の形態の半導体記憶装置であるメモリの占有面積を小さくできる分、従来と同じ占有面積でメモリの記憶容量を大きくとることができる。その場合、例えば、大規模なプログラムを一時的に読み込み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行することが可能になり、且つ、そのプログラムを他のプログラムと入れ換えることも可能になる。

次に、本実施の形態における半導体記憶装置の作製手順について説明する。まず、シリコン基板41内に電気絶縁性の素子分離領域43を形成し、続いてP型のウェル領域42を形成する。その後に、熱酸化によってトンネル酸化膜を形成し、CVD(化学気相成長法)法によってポリシリコン膜(46)を形成する。このポリシリコン膜(46)をフォトリソグラフィとエッチングとによってパターン加工し、フローティングゲート46を形成する。その後、シリコン酸化膜とポリシリコン膜(45)とを順次CVD法によって形成する。さらに、上記ポリシリコン膜(45)上にシリコン酸化膜やシリコン窒化膜等の絶縁膜(50)をCVD法で形成する。

その後、上記絶縁膜(50)、ポリシリコン膜(45)およびシリコン酸化膜をフォトリソグラフィとエッチングとによってパターン加工して、ワード線45を形成する。その場合、上記フォトリソグラフをマスクとして絶縁膜(50)のみをパターンニングし、フォトリソグラフ除去後にパターンニングされた絶縁膜50をマスクとして、ポリシリコン膜(45)およびシリコン酸化膜をエッチングによってパターンニングしてもよい。こうしてワード線45が形成された後、全面にシリコン窒化膜をCVD法によって堆積し、エッチングバックをすることによってワード線4

5の側壁を絶縁膜50で覆う。

そうした後、N型の不純物を、上記ワード線45をマスクとして低エネルギーで注入することによって、P型ウェル領域42の表面に自己整合的にN⁺拡散層44が形成される。この後、ポリシリコン膜(48)を全面に堆積し、パターニングを行うことによってプレート電極48を形成する。そして、層間絶縁膜52の堆積、コンタクト工程およびメタル工程を行い、ビット線51を形成する。

上述のように、本実施の形態においては、上記シリコン基板41のP型ウェル領域42の上方に、N⁺拡散層44に交互に接続されたビット線51とプレート電極48とを形成している。したがって、ビット線51とプレート電極48との夫々を、層間絶縁膜52によって分離された別の配線層を用いて重ねて形成することができる。したがって、平面パターンレイアウトでは、図32に示す従来の半導体記憶装置のように、半導体基板中の同じ不純物拡散層で形成されたソース線2とビット線3とを分離するための距離1F分のマージンは不要となる。さらに、素子分離領域43で挟まれて直線状に延在するシリコン活性領域内に、素子分離領域43に直交するゲート線45の両側に形成された(つまり、チャンネル領域を介して隣り合う)N⁺拡散層44は、夫々対を成してFETのソース領域とドレイン領域として機能する。すなわち、各N⁺拡散層44の夫々は2つのFETによって共有されている。したがって、図32に示す従来の1メモリセルにおける幅1F分のN⁺拡散層44が不要となる。以上の結果、図32中に二点鎖線で示す4F×2F(=8F²)のメモリセルにおける長辺が、上述のごとく2F分短縮される。その結果、図11および図14中に二点鎖線で示すごとく、メモリセルのサイズは2F×2Fとなり、その面積はNAND型メモリの6F²よりも小さい4F²にできるのである。

すなわち、本実施の形態における半導体記憶装置によれば、従来のAND型メモリセルアレイと同様にワード線毎の消去が可能であり、読み出し速度も同程度であり、且つ、1つのメモリセルの面積を従来のAND型メモリセルアレイよりも小さくできる。したがって、高集積化が可能となり、製品歩留りを向上させ、製造コストを削減することができるのである。

また、本実施の形態の半導体記憶装置によるメモリと、論理回路やその他のメ

メモリ(DRAMやSRAM等)とを混載して集積回路を形成する場合に、この集積回路の集積度を向上し、機能の向上を図ることができる。

(第6実施の形態)

本実施の形態について、図18～図22に基づいて説明する。本実施の形態の半導体記憶装置は、ウェル領域の構造において上記第5実施の形態とは異なる。図18および図19は、本実施の形態の半導体記憶装置におけるメモリセルアレイの断面図であり、上記第5実施の形態における図12および図13に相当する。また、図20および図21も本実施の形態の半導体記憶装置におけるメモリセルアレイの断面図であり、上記第5実施の形態における図15および図16に相当する。

図18および図19において、シリコン基板61内には、N型の深いウェル領域62とP型の浅いウェル領域63が形成されている。素子分離領域64の深さは、素子分離領域64を挟む両側のP型の浅いウェル領域63を、互いに電氣的に分離するように設定される。すなわち、細長いP型の浅いウェル領域63の列がピッチ2Fで形成され、これらは素子分離領域64によって互いに電氣的に分離されるのである。これらP型の浅いウェル領域63の列は、上記第5実施の形態におけるビット線51に相当する第1ビット線65と同じ方向に並び、第2ビット線とすることができる。

尚、図18および図19におけるN⁺拡散層66、ワード線67、フローティングゲート68、シリコン酸化膜69、プレート電極70、絶縁膜71、層間絶縁膜72およびビット線コンタクト73は、上記第5実施の形態の図12および図13におけるN⁺拡散層44、ワード線45、フローティングゲート46、シリコン酸化膜47、プレート電極48、絶縁膜50、層間絶縁膜52およびビット線コンタクト53と同じである。

図20および図21に示すメモリセルアレイは、第5実施の形態の図14～図16に示すメモリセルアレイの場合と同様に、プレート電極70が短冊型(図14を参照)を成しており、この短冊型のプレート電極70がワード線67と同じ方向にピッチ4Fで並行に配列されている。そして、ビット線コンタクト73は、プレート電極70の無い領域(プレート電極70間)でソース・ドレイン領域の一

方と接続されて、ワード線67の延在方向にピッチ2Fで直線的に並んでいる。それ以外は図18および図19に示すメモリセルアレイと同じであり、シリコン基板61内にN型の深いウェル領域62とP型の浅いウェル領域63が形成されており、P型の浅いウェル領域63は第2ビット線を構成している。

5 次に、本実施の形態における半導体記憶装置の回路構成を、図22に基づいて説明する。この半導体記憶装置を構成するメモリセルアレイは、上記第5実施の形態の図17に示すメモリセルアレイと、各メモリセルにおける上記浅いウェル領域が第2ビット線を形成している点において回路構成が異なる。この第2ビット線Bwは、第1ビット線Baと対になってビット線対を形成し、このビット線対
10 にはメモリセルMが並列に接続されて所謂AND型で配列されている。尚、図22においては、例えば1番目の第1ビット線をBa1と表記し、1番目の第2ビット線をBw1と表記している。その他は、上記第5実施の形態の図17に示すメモリセルアレイと同様である。

ところで、上記第5実施の形態の回路構成では、ランダムアクセス(1ビット
15 毎の書き込みおよび消去)を行うことはできない。その理由は、ウェル領域42とソース・ドレイン領域44間を順方向バイアス状態にすることはできない(PN順方向電流が流れる)ので、ウェル領域42が総てのメモリセルMに共通である場合には1ビットのみを選択的に選ぶようなバイアスを加えることが不可能であるからである。ところが、本実施の形態におけるメモリセルアレイの場合には、
20 第2ビット線Bwが加わったことによって、1ビット毎の書き込みおよび消去が可能になるのである。

さらに、上記メモリセルMにおけるフローティングゲート68からの記憶電荷の漏れを軽減するために、フローティングゲート68を離散ドットや電荷をトラップする電荷トラップ膜で構成する場合がある。ところが、上記第5実施の形態
25 の場合のようにウェル領域42が総てのメモリセルMに共通であると、フローティングゲート46として離散ドットや電荷トラップ膜を用いた場合には書き込みを行うことができない。その理由は、書き込み時には、上記コントロールゲート45とドレイン領域44との間のみに高電圧が掛るので、記憶電荷が漏れ難いことが逆に災いとなって、ドレイン領域44に近い電子しか引き抜かれないからで

ある。しかしながら、本実施の形態のごとく、浅いウェル領域63を素子分離領域64および深いウェル領域62で分離して第2ビット線Bwとすることによって、フローティングゲート68として離散ドットや電荷トラップ膜を用いたメモリセルに対しても、選択書き込みおよび選択消去を行うことが可能になる。それは、浅いウェル領域63を独立した第2ビット線Bwにして、夫々のメモリセルMの浅いウェル領域63に独立した電位を与えることが可能になるためである。

本実施の形態においては、バルク基板を用いているので、第2ビット線Bwを構成する浅いウェル領域63の設計の自由度が大きく、浅いウェル領域63の深さおよび不純物濃度を自由に設定することができる。そのために、浅いウェル領域63の深さを十分に深くし、浅いウェル領域63の表面付近(チャネル領域)の不純物濃度を素子の閾値が適切になるように比較的薄くし、浅いウェル領域63の比較的深い領域では不純物濃度を濃くすることが可能になる。このようにすれば、浅いウェル領域63の抵抗を低くすることができ、メモリを高速に動作させることができるのである。

本実施の形態において重要なことは、上記ウェル領域を深いウェル領域62と浅いウェル領域63とに分離し、浅いウェル領域63で成る第2ビット線Bwを設けたことである。この第2ビット線Bwを設けることによって、ランダムに1ビットのみを選択して書き込み、消去および読み出しを行うことが可能になる。さらに、後に詳述するように、フローティングゲート68として離散ドットや電荷トラップ膜を用いることが可能になるのである。

上記第5実施の形態における半導体記憶装置の場合と同様に、本実施の形態の半導体記憶装置であるメモリと、論理回路とを1つの集積回路上に混載してもよい。あるいは、本実施の形態の半導体記憶装置であるメモリと論理回路とに加えて、その他のメモリ(DRAMやSRAM等)を混載しても良い。その場合、本実施の形態の半導体記憶装置であるメモリが占める面積が上述したごとく小さくできる分、上記論理回路や他のメモリの面積を大きく確保することができ、機能の向上を図ることができる。あるいは、本実施の形態の半導体記憶装置であるメモリの占有面積を小さくできる分、従来と同じ占有面積でメモリの記憶容量を大きくとることができる。その場合、例えば、大規模なプログラムを一時的に読み込

み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能になり、且つ、そのプログラムを他のプログラムと入れ換えることも可能になる。

次に、本実施の形態における半導体記憶装置の作成手順について説明する。本
5 実施の形態における半導体記憶装置の作成手順は、ウェル領域の形成に、N型の深いウェル領域62の形成とP型の浅いウェル領域63の形成との2つの工程を要する点において、上記第5実施の形態の作成手順とは異なる。ここで、N型の深いウェル領域62とP型の浅いウェル領域63との接合の深さは、不純物の注入条件(注入エネルギーおよび注入量)とその後の熱工程(アニール工程や熱酸化工程等)によって決まる。これらの不純物注入条件や熱工程条件と素子分離領域
10 64の深さとは、素子分離領域64がP型の浅いウェル領域63を電氣的に分離するように設定され必要がある。

本実施の形態における半導体記憶装置は、上記第5実施の形態の場合と同様に1つのメモリセルの面積は $4F^2$ であり、従来のAND型メモリセルアレイより
15 も小さい。したがって、高集積化が可能となり、製品の歩留りが向上し、製造コストを削減することができる。

また、本実施の形態における半導体装置の場合には、1ビット毎の消去を行うことができ、ランダムアクセスが可能となる。したがって、アクセス方法の制約を無くし、製品応用を行い易くできる。

20 更にまた、本実施の形態の半導体記憶装置においては、上記フローティングゲート68として離散ドットや電荷トラップ膜を用いることが可能となる。したがって、低電圧駆動等が可能になり、メモリの特性向上を図ることができる。

更にまた、本実施の形態の半導体記憶装置においては、バルク基板を用いており、浅いウェル領域63の深さおよび不純物濃度を自由に設定することができる
25 ので、浅いウェル領域63の抵抗を低くして第2ビット線Bwの信号伝達速度を上げることが容易であり、メモリを高速に動作させることができる。

また、本実施の形態の半導体記憶装置であるメモリと、論理回路およびその他のメモリ(DRAMやSRAM等)とを混載して集積回路を構成した場合、集積回路の集積度が向上し、機能の向上を図ることができる。

以下、本実施の形態における半導体記憶装置の書き込み動作および消去動作について図22に基づいて説明する。例として、メモリセルの閾値の低い状態を書込状態とし、高い状態を消去状態とする。

5 まず、上記メモリセルM12に書き込みを行なう場合には、選択ワード線W2に負電圧(例えば-14V)を印加し、選択第1ビット線Ba1及び第2ビット線Bw1に接地電位(0V)を印加する。この時、選択第1ビット線Ba1はオープンとしてもよい。プレート電極Pltは接地電位(0V)にする。非選択のワード線W及び第2ビット線Bwには負電圧(例えば-7V)を印加する。こうすることによって、メモリセルM12のコントロールゲート67とP型の浅いウェル領域63との間のみに高電圧が掛り、FNトンネリングによってフローティングゲート68よりチャンネル領域に電子が放出され、1ビットの書き込みが行われるのである。

10 一方、上記メモリセルM12を消去する場合には、選択ワード線W2に正電圧(例えば9V)を印加し、選択第1ビット線Ba1に負電圧(例えば-9V)を印加し、選択第2ビット線Bw1に負電圧(例えば-9V)を印加する。この時、プレート電極Pltは接地電位(0V)にする。非選択のワード線Wおよび第2ビット線Bには接地電位(0V)を印加する。こうすることによって、メモリセルM12のコントロールゲート67とP型の浅いウェル領域63との間のみに高電圧が掛り、FNトンネリングによってチャンネル領域からフローティングゲート68に電子が注入され、1ビットの消去が行われる。上記書き込みおよび消去における各ノードの設定電圧は、上記の電圧に限定されるものではない。

20 尚、上記コントロールゲート(ワード線)67側から電子の注入・放出が起こるようにしてもよい。その場合は、例えば、図23に示すように、チャンネル領域とフローティングゲート68との間の絶縁膜(シリコン酸化膜)69の膜厚を、フローティングゲート68とコントロールゲート67との間の絶縁膜の膜厚より厚くすればよい。例えば、絶縁膜69の膜厚を7nm~15nmにし、フローティングゲート68とコントロールゲート67との間の絶縁膜の膜厚を3nm~10nmにするのである。または、フローティングゲート68とコントロールゲート67との間の絶縁膜の材質を、絶縁膜69よりも相対的に障壁が低い材質にしてもよい。例えば、絶縁膜69を酸化膜にし、フローティングゲート68とコントロールゲート67との間の絶縁膜を窒化膜にすればよい。

ト67との間の絶縁膜をシリコン窒化膜にすれば、両絶縁膜の厚さは同じであってもコントロールゲート67側からフローティングゲート68に電荷を注入・放出することができるのである。ところで、図23においては、メモリセルの断面を模式的に表現しており、素子分離領域64の方向は実際とは異なって描かれ、シリコン基板61は省略されている。

尚、上記コントロールゲート(ワード線)67側から電子の注入・放出が起こる場合でも、上記動作方法を適用することができる。但し、上述したチャネル領域側から電子の注入・放出が起こる場合とは、書き込みと消去とが反対になる。

本実施の形態の半導体記憶装置を上述のように動作させることによって、ランダムアクセスを行うことが可能になるのである。

(第7実施の形態)

本実施の形態は、上記第6実施の形態の半導体記憶装置におけるフローティングゲート68として、ナノメートル(nm)オーダの寸法を有する半導体または導体から成る微粒子(以下、離散ドットと言う)を用いた半導体記憶装置に関する。本実施の形態の半導体記憶装置におけるメモリセルアレイの基本的構造は、図18、図19または図20、図21と同じである。また、その回路図は、図22と全く同じである。したがって、上記メモリセルアレイの基本構造および回路動作についての説明は省略する。

図24は、上記第6実施の形態の図23に相当するメモリセルアレイにおけるメモリセルM12の概略断面図である。N型の深いウェル領域81、P型の浅いウェル領域82、素子分離領域83、N⁺拡散層84、コントロールゲート85、ワード線W2、第1ビット線Ba1、第2ビット線Bw1、プレート電極Pltは、上記第6実施の形態の図23におけるN型の深いウェル領域62、P型の浅いウェル領域63、素子分離領域64、N⁺拡散層66、コントロールゲート67、ワード線W2、第1ビット線Ba1、第2ビット線Bw1、プレート電極Pltと同じである。

上記P型の浅いウェル領域82のチャネル領域とコントロールゲート85とを離間させる絶縁膜(シリコン酸化膜)87の中における上記チャネル領域とコントロールゲート85との中間部には、上記フローティングゲートとして機能する離散ドット86が散点状に形成されている。ここで、離散ドット86の一例として

は、絶縁膜 8 7 中に離散的に形成された導体または半導体によるドットが挙げられる。例えば、シリコン酸化膜中に形成されたシリコンドットや金属ドット等である。

上記フローティングゲートとして離散ドット 8 6 を用いたメモリセルアレイの動作について、以下に説明する。例としてメモリセル M の閾値が低い状態を書込状態とし、高い状態を消去状態とし、チャネル側から電子の注入・放出が起こる場合について説明する。尚、コントロールゲート 8 5 (ワード線 W) 側から電子の注入・放出が起こる場合は、書き込みと消去とは反対になる。

図 2 4 において、上記メモリセル M12 に書込む場合、ワード線 W2 に負電圧(例えば -6 V)を印加し、第 1 ビット線 Ba1 および第 2 ビット線 Bw1 に接地電位(0 V)を印加する。その場合、プレート電極 P1t は接地電位(0 V)にする。すなわち、メモリセル M12 のコントロールゲート 8 5 に -6 V が印加され、ソース領域および P 型の浅いウェル領域 8 2 に 0 V が印加される。ここで、非選択のワード線、第 1 および第 2 ビット線に負の電圧(例えば -3 V)を印加する。こうすることによって、メモリセル M12 のコントロールゲート 8 5 と、第 1 ビット線 Ba1 に接続されたソース・ドレイン領域および P 型の浅いウェル領域 8 2 との間のみに高電圧が掛って、書き込みが行われる。

尚、上記メモリセル M12 を消去する場合には、メモリセル M12 のコントロールゲート 8 5 と、第 1 ビット線 Ba1 に接続されたソース・ドレイン領域および P 型の浅いウェル領域 8 2 との間にのみ高電圧が掛るようにすればよい。すなわち、選択ワード線 W2 に正電圧(例えば 3 V)を印加し、第 1 ビット線 Ba1 に接続されたソース・ドレイン領域(選択第 1 ビット線 Ba1)および P 型の浅いウェル領域(選択第 2 ビット線 Bw1)に負電圧(例えば -3 V)を印加すればよい。このようにして、フローティングゲートとして離散ドット 8 6 を用いたメモリセルに対しても 1 ビット毎に書き込みおよび消去を行うことが可能になる。また、読み出し時には、例えば、選択ワード線 W2 に 0 V、選択第 1 ビット線 Ba1 に -1 V、選択第 2 ビット Bw1 線に -1 V を印加すればよい。

尚、上記書き込み、消去、読み出し時における各ノードの設定電圧は、上述の電圧に限られるものではない。直接トンネリングを用いるようなメモリ膜構成の場合

合には、各ノードの設定電圧は上述の例よりも低く設定することが可能である。

次に、本実施の形態における半導体記憶装置の作成手順について説明する。本実施の形態における半導体記憶装置の作成手順は、上記第6実施の形態における作成手順とは、フローティングゲートの形成手順においてのみ異なる。分散ドット状のフローティングゲートは、例えば、以下のような手順によって形成することができる。

すなわち、上記第6実施の形態における作成手順と同様にして絶縁膜87の下部を構成するトンネル酸化膜までを形成した後、LPCVD法によって上記トンネル酸化膜上にシリコン微結晶を形成して分散ドット86を形成する。そうした後、CVD法によって酸化膜を形成する。尚、分散ドット86は、規則正しく配列されていてもよいし、ランダムに配置されていてもよい。また、3次元的に配列されていてもよい。

以上のごとく、本実施の形態における半導体記憶装置によれば、フローティングゲートとして分散ドット86を用いているので、上記フローティングゲートとして導電体膜を使用した上記第5,第6実施の形態におけるフラッシュメモリに比べて記憶電荷の漏れの問題が軽減される。したがって、素子の信頼性を向上することができる。また、分散ドット86を用いたメモリ機能膜の一形態である量子ドットメモリ機能膜を用いた場合、上記書き込みおよび消去に直接トンネリングを用いることができるため、低電圧動作によって素子の劣化を抑制し、信頼性を向上することができるのである。

(第8実施の形態)

本実施の形態は、上記第6実施の形態の半導体記憶装置におけるフローティングゲート68として、複数層に形成された分散ドットを用いた半導体記憶装置に関する。本実施の形態の半導体記憶装置におけるメモリセルアレイの基本的構造は、図18,図19または図20,図21と同じである。また、その回路図は、図22と全く同じである。したがって、上記メモリセルアレイの基本構造および回路動作についての説明は省略する。

図25は、上記第6実施の形態の図23に相当するメモリセルアレイにおけるメモリセルM12の概略断面図である。N型の深いウェル領域91, P型の浅いウ

エル領域 9 2, 素子分離領域 9 3, N⁺拡散層 9 4, コントロールゲート 9 5, ワード線 W2, 第 1 ビット線 Ba1, 第 2 ビット線 Bw1, プレート電極 Plt は、上記第 6 実施の形態の図 2 3 における N 型の深いウェル領域 6 2, P 型の浅いウェル領域 6 3, 素子分離領域 6 4, N⁺拡散層 6 6, コントロールゲート 6 7, ワード線 W2, 第 1 ビット線 Ba1, 第 2 ビット線 Bw1, プレート電極 Plt と同じである。

上記 P 型の浅いウェル領域 9 2 のチャンネル領域とコントロールゲート 9 5 とを離間させる絶縁膜(シリコン酸化膜) 9 8 中における上記チャンネル領域とコントロールゲート 9 5 との中間部には、上記フローティングゲートとして機能する離散ドット 9 6, 9 7 が二層に形成されている。この構成によれば、チャンネル領域と下層の離散ドット 9 7 との間にできるトンネル接合と、下層の離散ドット 9 7 と上層の離散ドット 9 6 との間にできるトンネル接合とで、二重トンネル接合が形成される。したがって、電荷のトンネル過程が直接トンネリングであっても、顕著なメモリ効果を有することができる。すなわち、本実施の形態によれば、上記第 7 実施の形態の場合に比して、上記フローティングゲートにおける電荷のメモリ効果を大きくすることができるのである。尚、電荷の注入・放出は、チャンネル領域側から起こるように構成としてもよいし、コントロールゲート 9 5 側から起こるように構成としてもよい。

尚、上記実施の形態においては、フローティングゲートを構成する離散ドットの層数を「2」としているが、この発明はこれに限定するものではない。

(第 9 実施の形態)

本実施の形態は、上記第 6 実施の形態の半導体記憶装置におけるフローティングゲート 6 8 として、電荷をトラップする電荷トラップ膜を用いた半導体記憶装置に関する。本実施の形態の半導体記憶装置におけるメモリセルアレイの基本的構造は、図 1 8, 図 1 9 あるいは図 2 0, 図 2 1 と同じである。また、その回路図は、図 2 2 と全く同じである。したがって、上記メモリセルアレイの基本構造および回路動作についての説明は省略する。

図 2 6 は、上記第 6 実施の形態の図 2 3 に相当するメモリセルアレイにおけるメモリセル M12 の概略断面図である。N 型の深いウェル領域 1 0 1, P 型の浅いウェル領域 1 0 2, 素子分離領域 1 0 3, N⁺拡散層 1 0 4, コントロールゲート

105,ワード線W2,第1ビット線Ba1,第2ビット線Bw1,プレート電極Pltは、上記第6実施の形態の図23におけるN型の深いウェル領域62, P型の浅いウェル領域63, 素子分離領域64, N⁺拡散層66, コントロールゲート67, ワード線W2, 第1ビット線Ba1, 第2ビット線Bw1, プレート電極Pltと同じである。

5 上記P型の浅いウェル領域102のチャネル領域とコントロールゲート105との間に、上記フローティングゲートとして機能する電荷トラップ膜106が形成されている。本実施の形態における半導体記憶装置は、上記第6実施の形態で述べたと同じ理由で、1ビット毎の選択書き込みおよび選択消去を行うことが可能である。

10 ここで、上記電荷トラップ膜106とは、例えば、Si₃N₄/SiO₂膜やSiO₂/Si₃N₄/SiO₂膜(ONO膜)である。尚、これを用いた素子としては、例えば、MNOS, SNOS, SONOS等が挙げられる。また、上記ONO膜を用いた場合はSi₃N₄/SiO₂膜を用いた場合に比して電荷をトラップする効率が上り、メモリ特性を改善することができる。ここでは、上記シリコン窒化膜をSi₃N₄とする一方、シリコン酸化膜をSiO₂としている。しかしながら、これによって各元素の成分比が限定されるものではない。また、電荷トラップ膜106の代りにヒステリシス特性を有する強誘電メモリ膜を用いても良い。

15

上記フローティングゲートの代りに電荷トラップ膜106を用いた半導体記憶装置の動作は、例えば、上記第6実施の形態における半導体記憶装置の動作と同様である。但し、書き込み, 消去, 読み出しにおける各ノードの設定電圧は、電荷トラップ膜106に応じて最適な値を選択して用いるのが好ましい。

20

次に、本実施の形態における半導体記憶装置の作成手順について説明する。本実施の形態における半導体記憶装置の作成手順は、上記第6実施の形態における作成手順とは、フローティングゲートの形成手順においてのみ異なる。電荷トラップ膜106は、例えば、以下のような手順によって形成することができる。

25

すなわち、上記第6実施の形態における作成手順と同様にして素子分離領域103, N型の深いウェル領域101およびP型の浅いウェル領域102を形成した後、P型の浅いウェル領域102上に、熱酸化工程やCVDによる成膜工程を組み合わせた工程によって、上記フローティングゲートの代りに電荷トラップ膜

106を形成するのである。

電荷の保持のために電荷をトラップする膜を用いた場合には、上記フローティングゲートとして導電体膜を使用した上記第5, 第6実施の形態におけるフラッシュメモリに比べて記憶電荷の漏れの問題が軽減される。したがって、素子の信頼性を向上することができる。

(第10実施の形態)

本実施の形態は、上記第6実施の形態の半導体記憶装置におけるフローティングゲート68として、ポリシリコン膜と複数層に形成された離散ドットとの複合体を用いた半導体記憶装置に関する。本実施の形態の半導体記憶装置におけるメモリセルアレイの基本的構造は、図18, 図19または図20, 図21と同じである。また、その回路図は、図22と全く同じである。したがって、上記メモリセルアレイの基本構造および回路動作についての説明は省略する。

図27は、上記第6実施の形態の図23に相当するメモリセルアレイにおけるメモリセルM12の概略断面図である。N型の深いウェル領域111, P型の浅いウェル領域112, 素子分離領域113, N⁺拡散層114, コントロールゲート115, ワード線W2, 第1ビット線Ba1, 第2ビット線Bw1, プレート電極Pltは、上記第6実施の形態の図23におけるN型の深いウェル領域62, P型の浅いウェル領域63, 素子分離領域64, N⁺拡散層66, コントロールゲート67, ワード線W2, 第1ビット線Ba1, 第2ビット線Bw1, プレート電極Pltと同じである。

上記P型の浅いウェル領域112のチャネル領域とコントロールゲート115とを離間させるシリコン酸化膜116の中における上記チャネル領域とコントロールゲート115との中間部には、チャネル領域側にポリシリコン膜117が形成されており、コントロールゲート115側にはシリコン酸化膜116を隔ててシリコン微粒子で成る離散ドット118が形成され、この離散ドット118の斜め上方にシリコン酸化膜116を隔てて更にシリコン微粒子で成る離散ドット119が形成されている。

次に、上記ポリシリコン膜117と二層に形成された離散ドット118, 119との複合体の構造を有するメモリ機能膜の特性について述べる。図28および図29は、メモリ機能膜の容量Cと印加電圧V_gとの関係を示す。つまり、印加

電圧 V_g は浅いウェル領域 112 側に対してコントロールゲート 115 側に印加した電圧であり、 C は単位面積当りの静電容量である。図 28 は、印加電圧 V_g を +3 V から -3 V まで走査し、その後に再び +3 V まで走査した場合における $C - V_g$ 特性である。図 29 は、同様に、印加電圧 V_g を +1 V から -1 V まで走査し、再び +1 V まで走査した場合における $C - V_g$ 特性である。

図 28 から、上記印加電圧 V_g が -3 V になるとメモリ機能膜に書き込みが行われ、グラフが右にシフトし、ヒステリシス特性が現れることが分かる。尚、図示しないが、印加電圧 V_g が +3 V になると曲線が元に戻ることから、消去が行われることが分かる。ここで、上記閾値が上昇する場合を書き込みとしている。一方、図 29 から、印加電圧 V_g が ± 1 V の範囲内ではヒステリシス特性が現れず、書き込みも消去も行われないことが分かる。以上のように、図 28 および図 29 から、本実施の形態におけるメモリ機能膜の特性によれば、 ± 3 V での書き込みおよび消去、1 V での上記メモリ機能膜に蓄積された電荷（つまり記憶）を破壊しない非破壊読み出しが可能であることが分る。したがって、上記メモリ機能膜を導電体膜で構成した上記第 6 実施の形態のごとく、コントロールゲート 115 と P 型の浅いウェル領域 112 との間に 14 V や 18 V の高電圧を印加する必要がなく、低電圧動作が可能になるのである。

次に、本実施の形態における半導体記憶装置の作成手順について説明する。本実施の形態における半導体記憶装置の作成手順は、上記第 6 実施の形態における作成手順とは、フローティングゲートの形成手順においてのみ異なる。ポリシリコン膜 117 と離散ドット 118, 119 との複合体で成るメモリ機能膜は、例えば、以下のような手順によって形成することができる。

すなわち、上記第 6 実施の形態における作成手順と同様にして素子分離領域 113, N 型の深いウェル領域 111 および P 型の浅いウェル領域 112 を形成する。その後、P 型の浅いウェル領域 112 上に、 900°C の N_2O 雰囲気中で、2 nm のシリコン酸化膜を形成する。次に、 620°C の SiH_4 雰囲気中で LPCVD 法によってポリシリコンを成長させる。こうすることによって、上記ポリシリコンは層状に成長して、厚さ 5 nm のポリシリコン膜 117 が形成される。次に、 900°C の N_2O 雰囲気中でポリシリコン膜 117 の表面を厚さ 2 nm だけ酸化す

る。次いで、 620°C の SiH_4 雰囲気中でLPCVD法によってシリコンを成長させることによって、シリコンが層状には成長せずにドット状に形成されるのである。すなわち、シリコン単結晶基板を熱酸化して形成した酸化膜上においてはポリシリコン膜は層状に成長するのであるが、同じシリコン成長条件を用いても、
5 ポリシリコン膜を熱酸化して形成した酸化膜上においてはシリコンがドット状に形成されるのである。こうして、第1層のシリコン微粒子118が形成される。

次に、 900°C の N_2O 雰囲気中で酸化することによって、上記第1層のシリコン微粒子118は、その表面は酸化されるが内部には結晶のシリコンが残っており、その直径は約5nmである。次に、 620°C の SiH_4 雰囲気中でLPCVD
10 法によってシリコンを成長させことによって、シリコンはドット状に形成され、第2層のシリコン微粒子119が形成される。この第2層のシリコン微粒子119は、第1層のシリコン微粒子118に隣接して形成されるものが多い。すなわち、第2層のシリコン微粒子119は、第1層のシリコン微粒子118の斜め上方に形成されることが多いのである。次に、 900°C の N_2O 雰囲気中で酸化す
15 ることによって、第2層のシリコン微粒子119は、その表面は酸化されるが内部には結晶のシリコンが残っており、その直径は約5nmである。こうして、上記メモリ機能膜が完成した後、LPCVD法によってコントロールゲート115となるポリシリコン膜を形成する。尚、第1層のシリコン微粒子118と第2層のシリコン微粒子119とを合わせたシリコン微粒子の数密度は、 $3 \times 10^{11}\text{cm}^{-2}$
20 程度である。

本実施の形態における半導体記憶装置によれば、フローティングゲートをポリシリコン膜117と離散ドット118, 119との複合体とした結果、 $\pm 3\text{V}$ で書き込みが行なわれる一方、 $\pm 1\text{V}$ では書き込みが行なわれないようなメモリ機能膜を得ることができる。したがって、低電圧での書き込み・消去および非破壊読み出しを行なうことが可能となる。
25

尚、上記実施の形態においては、フローティングゲートを構成する離散ドットの層数を「2」としているが、この発明はこれに限定するものではない。

(第11実施の形態)

本実施の形態は、上記第6実施の形態～第10実施の形態の半導体記憶装置に

における選択メモリセルのメモリ機能膜に掛る電位と、非選択メモリセルのメモリ機能膜に掛る電位との比を、できる限り大きくできる半導体記憶装置の駆動方法に関する。

5 一般に、メモリセルの書き込み時あるいは消去時には、選択されたメモリセルのメモリ機能膜に大きな電圧が掛る。そして、非選択のメモリセルのメモリ機能膜にもある程度の電圧が掛ってしまう。したがって、誤動作を防ぐためには、選択メモリセルのメモリ機能膜に掛る電圧と、非選択メモリセルのメモリ機能膜に掛る電圧の最大値との比を、できるだけ大きくするのが好ましいのである。

10 通常、一般的に行われる駆動方法においては、例えば消去時には、選択ワード線の電位を V_{DD} に、選択ビット線の電位を接地電位に、その他のワード線およびビット線の電位を $V_{DD}/2$ にする。その場合、選択メモリセルのメモリ機能膜には電圧 V_{DD} が掛り、非選択メモリセルのメモリ機能膜には電圧0または $V_{DD}/2$ が掛る。したがって、選択メモリセルのメモリ機能膜に掛る電圧と、非選択メモリセルのメモリ機能膜に掛る電圧の最大値との比は、「2」である。

15 本実施の形態の半導体記憶装置の駆動方法における、書き込み時および消去時の各ワード線Wおよびビット線Bへの印加電圧を表2に示す。

表 2

書き込み時

ビット線B ワード線W	(選択) 0	(非選択) $-(1-A) \times V$
(選択) $-V$	膜に掛る電圧 $-V$	膜に掛る電圧 $-A \times V$
(非選択) $-A \times V$	膜に掛る電圧 $-A \times V$	膜に掛る電圧 $(1-2A) \times V$

プレート電極Plt: 0

$$1/3 \leq A < 1/2$$

消去時

ビット線B ワード線W	(選択) $-V$	(非選択) $-A \times V$
(選択) 0	膜に掛る電圧 V	膜に掛る電圧 $A \times V$
(非選択) $-(1-A) \times V$	膜に掛る電圧 $A \times V$	膜に掛る電圧 $-(1-2A) \times V$

プレート電極Plt: 0

$$1/3 \leq A < 1/2$$

また、表 2 において、 $V = 3 \text{ V}$ 、 $A = 1/3$ である場合における書き込み時および消去時の各ワード線 W およびビット線 B への印加電圧を表 3 に示す。

表 3

5

書き込み時

ワード線 W	ビット線 B (選択) 0 (V)	(非選択) - 2 (V)
(選択) - 3 (V)	膜に掛る電圧 - 3 (V)	膜に掛る電圧 - 1 (V)
(非選択) - 1 (V)	膜に掛る電圧 - 1 (V)	膜に掛る電圧 1 (V)

プレート電極 P1t : 0 (V)

$$V = 3 \text{ (V)}, A = 1/3$$

消去時

ワード線 W	ビット線 B (選択) - 3 (V)	(非選択) - 1 (V)
(選択) 0 (V)	膜に掛る電圧 3 (V)	膜に掛る電圧 1 (V)
(非選択) 2 (V)	膜に掛る電圧 1 (V)	膜に掛る電圧 - 1 (V)

プレート電極 P1t : 0 (V)

10

$$V = 3 \text{ (V)}, A = 1/3$$

尚、表 2 および表 3 においては、上記プレート電極 P1t の電位は一定にしておくのが望ましいので、常に 0 V とした場合の数値を記載しているが、この発明はこの限りではない。また、表 2 および表 3 におけるビット線 B とは、第 1 ビット線 Ba および第 2 ビット線 Bw を指す。また、表 2 および表 3 では、メモリセルの閾値が低い状態を書込状態として、チャネル側から電子の注入・放出が起こる場合について示している。尚、コントロールゲート(ワード線 W)側から電子の注入・放出が起こる場合には、書き込みと消去との電圧値が反対となる。

15

20

表 2 に示すように、本実施の形態の半導体記憶装置の駆動方法においては、書き込み時には、選択ワード線に電位 $-V$ 、非選択ワード線に $-A \times V$ 、選択ビット線に 0、非選択ビット線に $-(1-A) \times V$ を印加する。また、消去時には、選択ワード線に電位 0、非選択ワード線に $-(1-A) \times V$ 、選択ビット線に $-V$ 、非選択ビット線に $-A \times V$ を印加する。ここで、 $1/3 \leq A < 1/2$ である ($A =$

1/2のときは、従来より一般的に行われている駆動方法と膜に掛る電圧が等価になる)。

尚、上記消去時の電圧は、非選択ビット線の電圧が0を(正側に)越えない範囲で、各ノード(選択ワード線および非選択ワード線、選択ビット線および非選択ビット線)の電圧を一様に高くしてもよい。但し、ビット線Bの電圧が0Vを越え
5 えると、プレート電極Pltに対して順方向接合リーク電流が流れてしまうことになる。選択メモリセルにおける上記メモリ機能膜に掛る電圧と、非選択メモリセルにおけるメモリ機能膜に掛る電圧の最大値との比は、 $A = 1/3$ の場合に(絶対値で)最大値3となる。したがって、 $A = 1/3$ とするのが最も好ましい。表2に
10 におけるVの具体的な値は、膜質や膜構造毎に最適な値を決めればよい。具体的には、上記メモリ機能膜に掛る電圧の絶対値がVの場合には電荷の注入あるいは放出が起こり、上記メモリ機能膜に掛る電圧の絶対値が $A \times V$ の場合には電荷の
注入あるいは放出が起こらないようにするのである。また、読み出し時には、上記メモリ機能膜に掛る電圧の絶対値が $A \times V$ 以下になるようにするのが好まし
15 く、そうすることによって、読み出しによって記憶が破壊されることはない。

表3は、 $V = 3V$ 、 $A = 1/3$ の場合における表2の具体例を示す。選択メモリセルのメモリ機能膜に掛る電圧の絶対値は3Vであるのに対して、非選択メモリセルのメモリ機能膜に掛る電圧の絶対値は何れも1Vになっている。

上述のように、本実施の形態の半導体記憶装置の駆動方法においては、選択メモリセルの上記メモリ機能膜に掛る電圧と、非選択メモリセルの上記メモリ機能膜に掛る電圧の最大値との比を、従来の「2」よりも大きくすることができ、動作
20 マージンの大きなメモリを実現することが可能になる。

尚、本実施の形態においては、表2から分かるように、選択ビット線と非選択ビット線とに異なる電圧を印加する必要がある。そのため、ウェル領域が総てのメモリセルに共通である上記第5実施の形態に適用することはできない。
25

(第12実施の形態)

本実施の形態は、上記第5実施の形態～第11実施の形態の半導体記憶装置をSOI基板を用いて作成した半導体記憶装置に関する。本実施の形態における半導体記憶装置の平面図は、図11または図14と同じである。

図30は、本実施の形態の半導体記憶装置におけるメモリセルの断面模式図である。シリコン基板121に積層された埋め込み酸化膜122上のSOI層128に形成されたN⁺拡散層123間のボディ124を共通ボディとすれば、上記第5実施の形態の場合と同様に動作する。一方、素子分離領域125で分離されたボディ124の列に夫々独立した電位を与えて、第2ビット線として用いれば、第6実施の形態～第10実施の形態のようにランダムアクセスが可能になる。

上記ボディ124上に形成されたメモリ機能膜126は、導電性膜のフローティングゲートや離散ドットから成るフローティングゲートを含む絶縁膜である。あるいは、上記電荷トラップ膜やヒステリシスを有する強誘電膜であっても差し支えない。127は、コントロールゲートである。尚、図30においては、完全空乏型の場合を示しているが、部分空乏型であっても差し支えない。その場合は、第2ビット線Bwとなるボディ124の抵抗を低減して、素子の高速化が可能になる。

次に、本実施の形態における半導体記憶装置の作成手順について説明する。先ず、SOI層128で成るボディ124に素子分離領域125を形成する。その後、メモリ素子が適切な閾値を有するように、ボディ124に不純物注入を行う。以後における上部構造の形成は、上記第5実施の形態～第10実施の形態における半導体記憶装置の場合と同じ手順である。

本実施の形態の半導体記憶装置においては、上記第5実施の形態～第11実施の形態における半導体記憶装置及びその駆動方法によって得られる効果に加えて、以下のような効果が得られる。すなわち、本実施の形態の半導体記憶装置においては、厚い埋め込み酸化膜122の存在のために、ボディ124とシリコン基板121との間の静電容量を非常に小さくすることができる。一方、上記第6実施の形態～第10実施の形態における半導体記憶装置の場合には、浅いウェル領域63, 82, 92, 102, 112と深いウェル領域62, 81, 91, 101, 111との間の静電容量はかなり大きい。したがって、本実施の形態の半導体記憶装置によれば、上記第6実施の形態～第10実施の形態における半導体記憶装置の場合に比して、上記基板に関する容量を充電するための消費電流を小さくすることができる。以上の理由から、SOI基板を用いることによって、低消費電力化が可能

能になるのである。

(第13実施の形態)

本発明の実施の形態について、図31に基づいて説明すれば以下の通りである。
尚、本実施の形態は、メモリ機能を有する膜がゲート電極の側壁に存する半導体
5 記憶装置に関する。さらには、このような素子の2ビット動作に関して説明する。

この実施の形態の半導体記憶装置を構成するメモリセル(図31)は、半導体基板中に形成されたP型ウェル131の表面に、N型の第1の拡散領域132と第2の拡散領域133とが形成されており、これらの拡散領域132, 133の間であって、ウェル131の最上層部にチャネル領域が形成されている。このチャ
10 ネル領域上には、膜厚1nm~6nm程度のシリコン酸化膜又はシリコン窒化膜からなるゲート絶縁膜134を介してゲート電極135が形成されている。ゲート電極135は、拡散領域132, 133とオーバーラップしておらず、ゲート電極135で覆われていないチャネル領域(図31中、139)がわずかに残されている。

15 ここで、上記ゲート電極135は、上記各実施の形態におけるワード線と同様に構成されたワード線の一部で構成されている。

上記ゲート電極135の両端には、ゲート側壁絶縁膜が形成されている。このゲート側壁絶縁膜は、電荷保持膜136とシリコン酸化膜137とで構成されている。電荷保持膜136としては、例えばシリコン窒化膜を用いることができる。
20 この半導体記憶装置においては、実際に電荷が蓄積またはトラップされて記憶が保持されるのは、電荷保持膜136中の電荷蓄積領域138', 138の部分である。

次に、この半導体記憶装置の書込み動作原理を説明する。ここで、書込みとは、電荷保持膜に電子を注入することを指すこととする。電荷保持膜136の電荷蓄積領域138に電子を注入する(書込む)ためには、第1の拡散領域132をソース電極に、第2の拡散領域133をドレイン電極とする。例えば、第1の拡散領域132及びウェル131に0V、第2の拡散領域133に+6V、ゲート電極135に+2Vを印加すればよい。このような電圧条件によれば、反転層が第1の拡散領域132(ソース電極)から伸びるが、第2の拡散領域133(ドレイン
25

電極)に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散領域133(ドレイン電極)まで高電界により加速され、所謂ホットエレクトロンとなる。このホットエレクトロンが電荷蓄積領域138に注入されることにより書込みが行なわれる。尚、電荷蓄積領域138'近傍では、ホットエレクトロンが発生しないために書込みは行なわれない。

このように、電荷蓄積領域138に電子を注入して、書込みを行なうことができる。

一方、上記電荷蓄積領域138'に電子を注入する(書込む)ためには、第2の拡散領域133をソース電極に、第1の拡散領域132をドレイン電極とする。例えば、第2の拡散領域133及びウェル131に0V、第1の拡散領域132に+6V、ゲート電極135に+2Vを印加すればよい。このように、電荷蓄積領域138に電子を注入する場合とは、ソース領域とドレイン領域とを入れ替えることによって、電荷蓄積領域138'に電子を注入して書込みを行なうことができる。

次に、上記半導体記憶装置の読み出し動作原理を説明する。電荷蓄積領域138'に記憶された情報を読み出す場合には、第1の拡散領域132をソース電極とする一方、第2の拡散領域133をドレイン電極として、トランジスタを飽和領域動作させる。例えば、第1の拡散領域132及びウェル131に0V、第2の拡散領域133に+2V、ゲート電極135に+1Vを印加すればよい。その際に、電荷蓄積領域138'に電子が蓄積されていない場合には、ドレイン電流が流れやすい。一方、電荷蓄積領域138'に電子が蓄積されている場合は、電荷蓄積領域138'近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することによって電荷蓄積領域138'の記憶情報を読み出すことができる。このとき、電荷蓄積領域138における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

また、上記電荷蓄積領域138に記憶された情報を読み出す場合には、第2の拡散領域133をソース電極に、第1の拡散領域132をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散領域133及びウェル1

31に0V、第1の拡散領域132に+2V、ゲート電極135に+1Vを印加すればよい。このように、電荷蓄積領域138'に記憶された情報を読み出す場合とは、ソース領域とドレイン領域とを入れ替えることによって電荷蓄積領域138に記憶された情報の読出しを行なうことができる。

5 尚、上記ゲート電極135で覆われていないチャネル領域139が残されている場合には、ゲート電極135で覆われていないチャネル領域においては、電荷蓄積領域138', 138の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス(閾値の変化)が得られる。但し、ゲート電極135で覆われていないチャネル領域139の幅があまり大きいと、ドレイン電流が
10 大きく減少して読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、ゲート電極135で覆われていないチャネル領域139の幅を決定することが好ましい。

上記拡散領域132, 133がゲート電極135端に達している場合、つまり、拡散領域132, 133とゲート電極135とがオーバーラップしている場合で
15 あっても、書き込み動作によってトランジスタの閾値は殆ど変わらないが、ソース端およびドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少(1桁以上)する。したがって、ドレイン電流の検出によって読出しが可能であり、メモリとしての機能を得ることができる。但し、より大きなメモリヒステリシス効果を必要とする場合には、拡散領域132, 133とゲート電極135とがオ
20 ーバーラップしていない方が好ましい。

さらに、上記半導体記憶装置の消去動作原理を説明する。

先ず、第1の方法として、上記電荷蓄積領域138'に記憶された情報を消去する場合には、第1の拡散領域132に正電圧(例えば、+6V)、ウェル131に0Vを印加して、第1の拡散領域132とウェル131とのPN接合に逆バイアスを掛けると共に、ゲート電極135には負電圧(例えば、-5V)を印加すればよい。このとき、上記ゲート絶縁膜近傍におけるPN接合では、負電圧が印加されたゲート電極135の影響によって、特にポテンシャルの勾配が急になる。そのために、バンド間トンネルによってPN接合のウェル領域131側にホットホールが発生する。このホットホールが負の電位をもつゲート電極135方向に

引き込まれ、その結果、電荷蓄積領域 1 3 8' にホール注入が行なわれる。このようにして、電荷蓄積領域 1 3 8' の消去が行なわれる。この場合、第 2 の拡散領域 1 3 3 には 0 V を印加すればよい。

また、上記電荷蓄積領域 1 3 8 に記憶された情報を消去する場合は、上述した
5 電荷蓄積領域 1 3 8' に記憶された情報を消去する場合において、第 1 の拡散領域 1 3 2 と第 2 の拡散領域 1 3 3 の電位を入れ替えればよい。

第 2 の方法として、上記電荷蓄積領域 1 3 8' に記憶された情報を消去する場合
10 には、第 1 の拡散領域 1 3 2 に正電圧(例えば、+ 5 V)、第 2 の拡散領域 1 3 3 に 0 V、ゲート電極 1 3 5 に負電圧(例えば、- 4 V)、ウェル 1 3 1 に正電圧(例えば、0. 8 V)を印加すればよい。この際に、ウェル 1 3 1 と第 2 の拡散領域 1 3 3 との間に順方向電圧が印加され、ウェル 1 3 1 に電子が注入される。注入された電子は、ウェル 1 3 1 と第 1 の拡散領域 1 3 2 との PN 接合まで拡散し、そこで強い電界によって加速されてホットエレクトロンとなる。このホットエ
15 レクトロンは、PN 接合において、電子 - ホール対を発生させる。このようにして発生した電子とホールとの一部はさらに電界によってエネルギーを得た後、新たな電子 - ホール対を発生させる。このようにして、ウェル 1 3 1 と第 1 の拡散領域 1 3 2 との PN 接合に、より多くの電子 - ホール対が発生する。すなわち、ウェル 1 3 1 と第 2 の拡散領域 1 3 3 との間に順方向電圧を印加することによって、ウェル 1 3 1 に注入された電子がトリガーとなって、反対側に位置する PN 接合
20 を降伏させる。そして、PN 接合で発生したホットホールは負の電位を有するゲート電極 1 3 5 方向に引き込まれ、その結果、電荷蓄積領域 1 3 8' にホール注入が行なわれる。

この第 2 の方法によれば、上記ウェル 1 3 1 と第 1 の拡散領域 1 3 2 との PN 接合において、バンド間トンネルによってホットホールが発生するに足りない電
25 圧しか印加されない場合においても、第 2 の拡散領域 1 3 3 から注入された電子が上記 PN 接合を降伏させるトリガーとなって、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。

尚、上記電荷蓄積領域 1 3 8' に記憶された情報を消去する場合には、上記第 1 の消去方法の場合には、第 1 の拡散領域 1 3 2 に + 6 V を印加しなければなら

ないが、上記第2の消去方法の場合には、+5Vで足りる。このように、上記第2の方法によれば、消力時の電圧を低減することができる。したがって、消費電力を低減でき、ホットキャリアによる半導体記憶装置の劣化を抑制することができるのである。

5 以上の動作方法によって、1トランジスタ当り選択的に2ビットの書込み及び消去が可能となる。

10 本実施の形態の半導体記憶装置によれば、メモリ機能を有する膜がゲート電極135の側壁に存在するので、ゲート絶縁膜134自体はメモリ効果を有する必要がない。それ故、ゲート絶縁膜134の薄膜化が容易であり、短チャネル効果を容易に抑制することができる。さらには、メモリ機能を有する膜はゲート電極135によって効果的に分離されているので、2ビット化が容易である。したがって、半導体記憶装置の微細化および低コスト化が容易に実現できる。

15 尚、上記実施の形態においては、メモリセルを、半導体基板中に形成されたP型ウェル131上に形成している。しかしながら、半導体基板上に形成しても差し支えない。

20 また、この発明は、上記各実施の形態に限定されるものではなく、各実施の形態を組み合わせても一向に構わない。例えば、第1実施の形態(図1～図4)および第2実施の形態(図6)における第1ビット線12を、第5実施の形態(図11～図16)および第6実施の形態(図18～図21)におけるプレート48,70と同様のプレートに代えても差し支えない。また、第5実施の形態(図11～図16)および第6実施の形態(図18～図21)におけるプレート48,70を、第1実施の形態(図1～図4)および第2実施の形態(図6)における第1ビット線12と同様のビット線に代えても差し支えない。

請 求 の 範 囲

1. 半導体基板(17, 41)の表面に、一方向に蛇行して延びる素子分離領域(16)が上記一方向に垂直な方向に関して並んで形成されて、隣り合う素子分離領域(16)の間に夫々上記一方向に延びる活性領域が定められ、

上記活性領域内の蛇行の各折り返し箇所、夫々ソース領域またはドレイン領域として働く不純物拡散領域(19)が形成されて、同一の活性領域で隣り合う上記不純物拡散領域(19)の間に夫々チャネル領域が定められ、

上記半導体基板(17, 41)上に、上記一方向に交差して延びるワード線(11, 45)が、各活性領域内のチャネル領域上を通るように設けられ、

上記半導体基板(17, 41)上に、上記一方向に延びる複数のビット線(12, 13, 51)が、上記不純物拡散領域(19)上を通るように設けられると共に、夫々下に存する不純物拡散領域(19)とコンタクト孔を介して接続されていることを特徴とする半導体記憶装置。

2. 上記複数のビット線(12, 13)とは、同一の活性領域内で蛇行の一方の側の折り返し箇所に設けられた上記不純物拡散領域(19)上を通るように設けられた第1のビット線(12)と、同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域(19)上を通るように設けられた第2のビット線(13)とからなることを特徴とする請求項1に記載の半導体記憶装置。

3. 上記第1のビット線(12)と上記第2のビット線(13)とは、夫々層間絶縁膜(20)により電氣的に分離された別の配線層からなることを特徴とする請求項2に記載の半導体記憶装置。

4. 上記複数のビット線(51)は、夫々下に存する上記不純物拡散領域に1つ置きにコンタクト孔を介して接続され、

上記複数のビット線(51)が接続されていない不純物拡散領域にプレート電極

(48)が接続されていることを特徴とする請求項1に記載の半導体記憶装置。

5 5. 上記ワード線(11, 45)の一部を構成するゲート電極とチャネル領域との間にメモリ機能を有する膜(21, 46)が存することを特徴とする請求項1乃至請求項4の何れか一つに記載の半導体記憶装置。

10 6. 上記ワード線の一部を構成するゲート電極の側壁にメモリ機能を有する膜が存することを特徴とする請求項1乃至請求項4の何れか一つに記載の半導体記憶装置。

7. 半導体基板(61)の表面に、一方向に延びる素子分離領域(64)が上記一方向に垂直な方向に関して並んで形成されて、隣り合う素子分離領域(64)の間に夫々上記一方向に延びる活性領域が定められ、

15 上記活性領域内に、夫々ソース領域またはドレイン領域として働く不純物拡散領域(66)が形成されて、同一の活性領域で隣り合う上記不純物拡散領域(66)の間に夫々チャネル領域が定められ、

上記半導体基板(61)上に、上記一方向に交差して延びる複数のワード線(67)が、各活性領域内のチャネル領域上を通るように設けられ、

20 上記半導体基板(61)上に、上記一方向に延びる複数のビット線(65)が、上記不純物拡散領域(66)上を通るように設けられると共に、夫々下に存する上記不純物拡散領域(66)とコンタクト孔を介して接続され、

25 上記半導体基板(61)は表面側にウェル領域(63)を有し、このウェル領域(63)が上記素子分離領域(64)によって電氣的に区分されて第3のビット線を構成していることを特徴とする半導体記憶装置。

8. 上記複数のビット線とは、上記ソース領域またはドレイン領域の一方と接続された第1のビット線と、上記ソース領域またはドレイン領域の他方と接続された第2のビット線とからなることを特徴とする請求項7に記載の半導体記憶装置。

9. 半導体基板(17)の表面に、一方向に蛇行して延びる素子分離領域(16)が上記一方向に垂直な方向に関して並んで形成されて、隣り合う素子分離領域(16)の間に夫々上記一方向に延びる活性領域が定められ、

5 上記活性領域内の蛇行の各折り返し箇所、夫々ソース領域またはドレイン領域として働く不純物拡散領域(19)が形成されて、同一の活性領域で隣り合う上記不純物拡散領域(19)の間に夫々チャネル領域が定められ、

10 上記半導体基板(17)上に、上記一方向に交差して延びる複数のワード線(11)が、夫々メモリ機能を有する膜(21)を介して各活性領域内のチャネル領域上を通るように設けられ、

上記半導体基板(17)上に、上記一方向に延びる複数のビット線(12, 13)が、上記不純物拡散領域(19)上を通るように設けられると共に、夫々下に存する不純物拡散領域(19)とコンタクト孔を介して接続され、

15 上記半導体基板(17)は表面側にウェル領域(26)を有し、このウェル領域(26)が上記素子分離領域(16)によって電氣的に区分されて第3のビット線を構成していることを特徴とする半導体記憶装置。

10. 上記複数のビット線(12, 13)とは、同一の活性領域内で蛇行の一方の側の折り返し箇所に設けられた上記不純物拡散領域(19)上を通るように設けられた第1のビット線(12)と、同一の活性領域内で蛇行の他方の側の折り返し箇所に設けられた上記不純物拡散領域(19)上を通るように設けられた第2のビット線(13)とからなることを特徴とする請求項9に記載の半導体記憶装置。

25 11. 上記第1のビット線(12)と上記第2のビット線(13)とは、夫々層間絶縁膜(20)により電氣的に分離された別の配線層からなることを特徴とする請求項8もしくは請求項10に記載の半導体記憶装置。

12. 上記複数のビット線(65)は、夫々下に存する上記不純物拡散領域(66)に1つ置きにコンタクト孔を介して接続され、

上記複数のビット線(65)が接続されていない不純物拡散領域(66)にプレート電極(70)が接続されていることを特徴とする請求項7もしくは請求項9に記載の半導体記憶装置。

5 13. 上記ワード線(11, 67)の一部を構成するゲート電極とチャネル領域との間にメモリ機能を有する膜(21, 68)が存することを特徴とする請求項7乃至請求項12の何れか一つに記載の半導体記憶装置。

10 14. 上記ワード線の一部を構成するゲート電極(135)の側壁にメモリ機能を有する膜(138, 138')が存することを特徴とする請求項7乃至請求項12の何れか一つに記載の半導体記憶装置。

15 15. 上記メモリ機能を有する膜は、半導体又は導体からなる微粒子(32, 86, 96, 97, 118, 119)を散点状に含む絶縁膜(33, 87, 98, 116)であることを特徴とする請求項5, 請求項6, 請求項13および請求項14の何れか一つに記載の半導体記憶装置。

20 16. 上記メモリ機能を有する膜は、シリコン窒化膜とシリコン酸化膜の積層膜であることを特徴とする請求項5, 請求項6, 請求項13および請求項14の何れか一つに記載の半導体記憶装置。

25 17. 上記メモリ機能を有する膜は、シリコン窒化膜がシリコン酸化膜で挟まれた構造を有する膜であることを特徴とする請求項5, 請求項6, 請求項13および請求項14の何れか一つに記載の半導体記憶装置。

18. 上記メモリ機能を有する膜は、シリコン膜(117)がシリコン酸化膜(116)で挟まれた構造を有する膜であることを特徴とする請求項5, 請求項6, 請求項13および請求項14の何れか一つに記載の半導体記憶装置。

19. 上記シリコン膜は、多結晶シリコン(117)からなることを特徴とする請求項18に記載の半導体記憶装置。

20. 上記ワード線(11, 45, 67)のうち上記チャネル領域上に存する部分がゲート電極を構成することを特徴とする請求項1乃至請求項19の何れか一つに記載の半導体記憶装置。

21. 書込み時または消去時に、

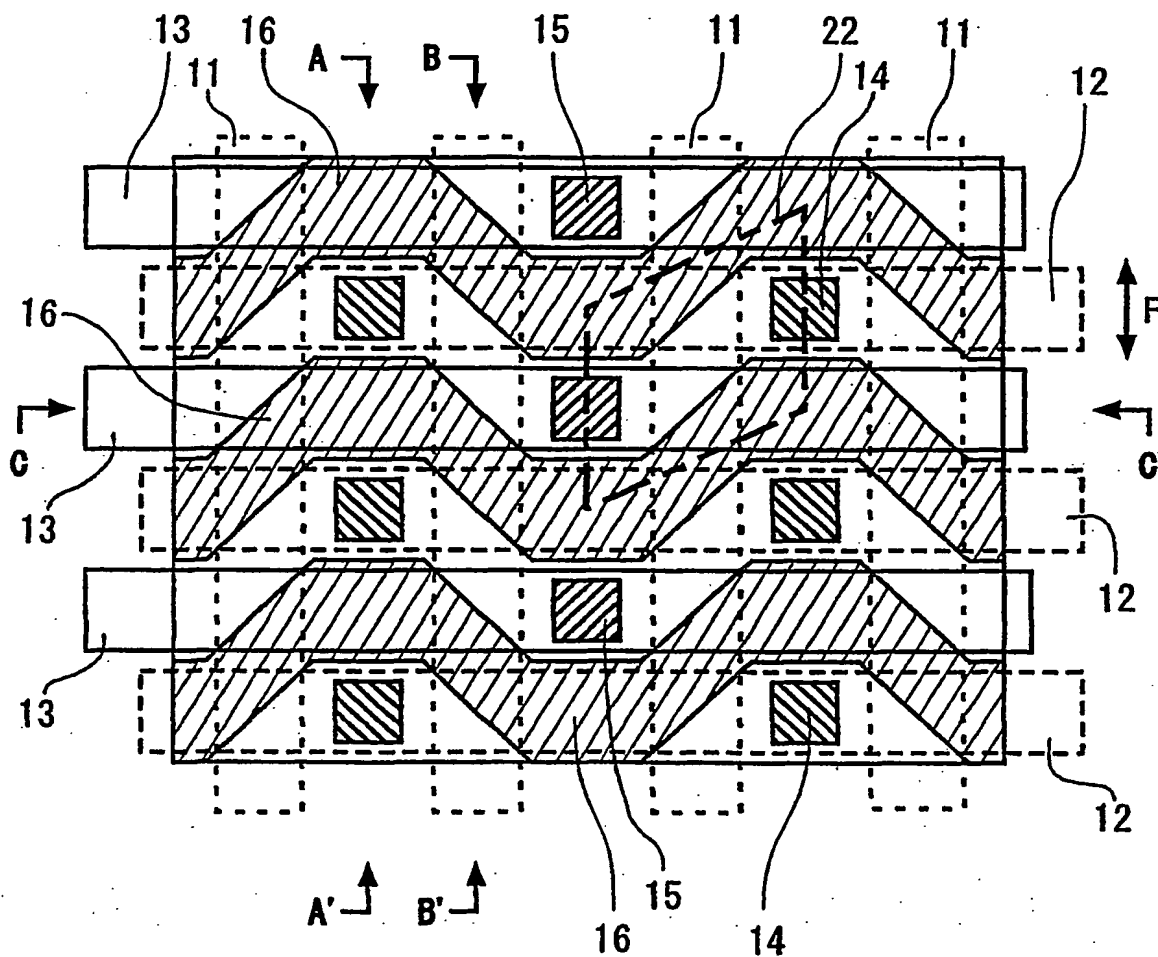
選択されたメモリセルにおいて、上記ワード線(45, 67)と上記ビット線(51, 65)との間の電位差の絶対値 V 、または、上記ワード線(11)と上記第1のビット線(12)との間の電位差の絶対値 V 、または、上記ワード線(11)と上記第2のビット線(13)との間の電位差の絶対値 V 、または、上記ワード線(11, 67)と上記第3ビット線(26, 63)との間の電位差の絶対値 V が、 $V = V_{DD}$ である場合に、

選択ワード線もしくは選択ビット線の何れか一方のみに接続されているメモリセルに関して、 $V_{DD}/3 \leq V < V_{DD}/2$ となることを特徴とする上記請求項1乃至請求項20の何れか一つに記載の半導体記憶装置。

22. 上記請求項1乃至請求項21の何れか一つに記載の半導体記憶装置と、ロジック回路とを混載したことを特徴とする半導体集積回路。

1/27

Fig. 1



2/27

Fig. 2

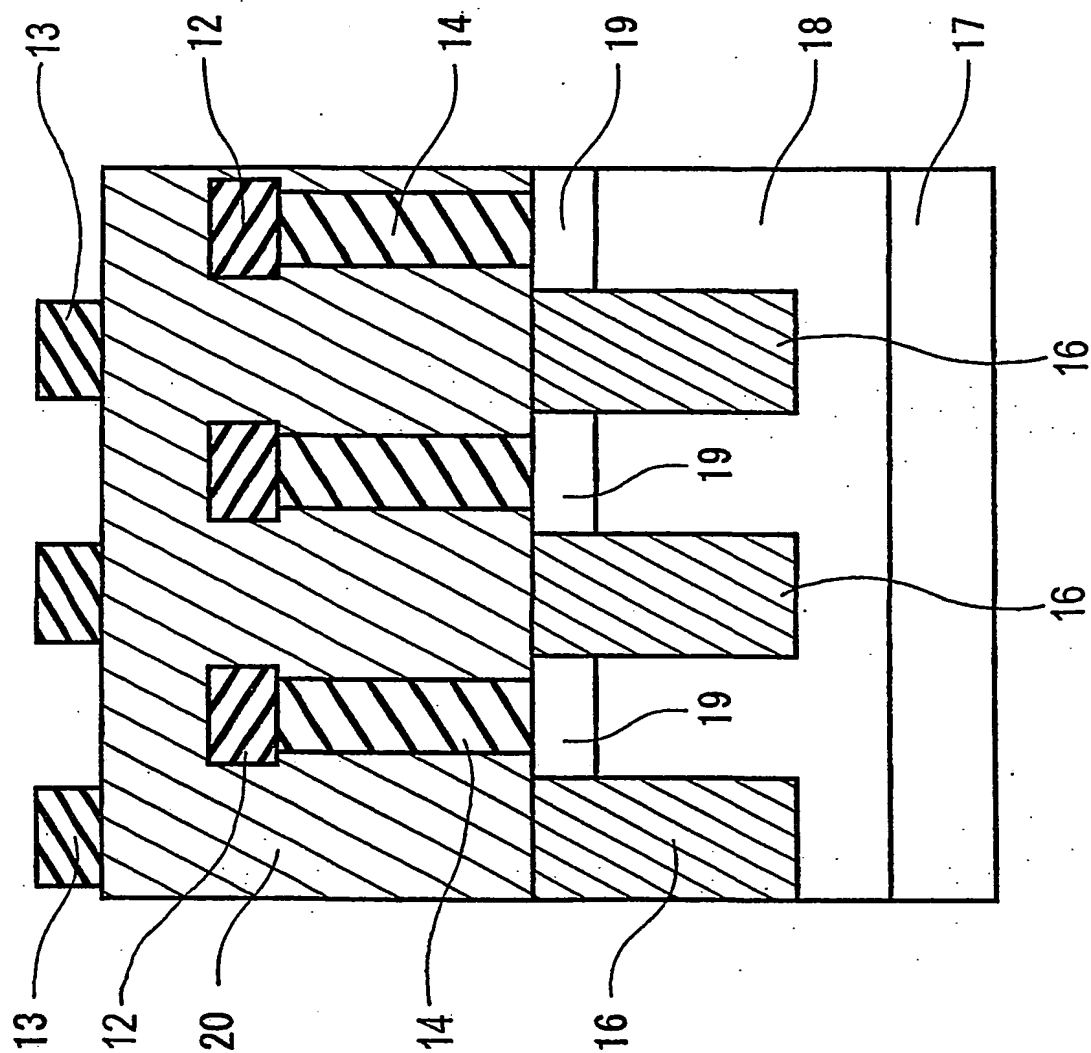


Fig. 3

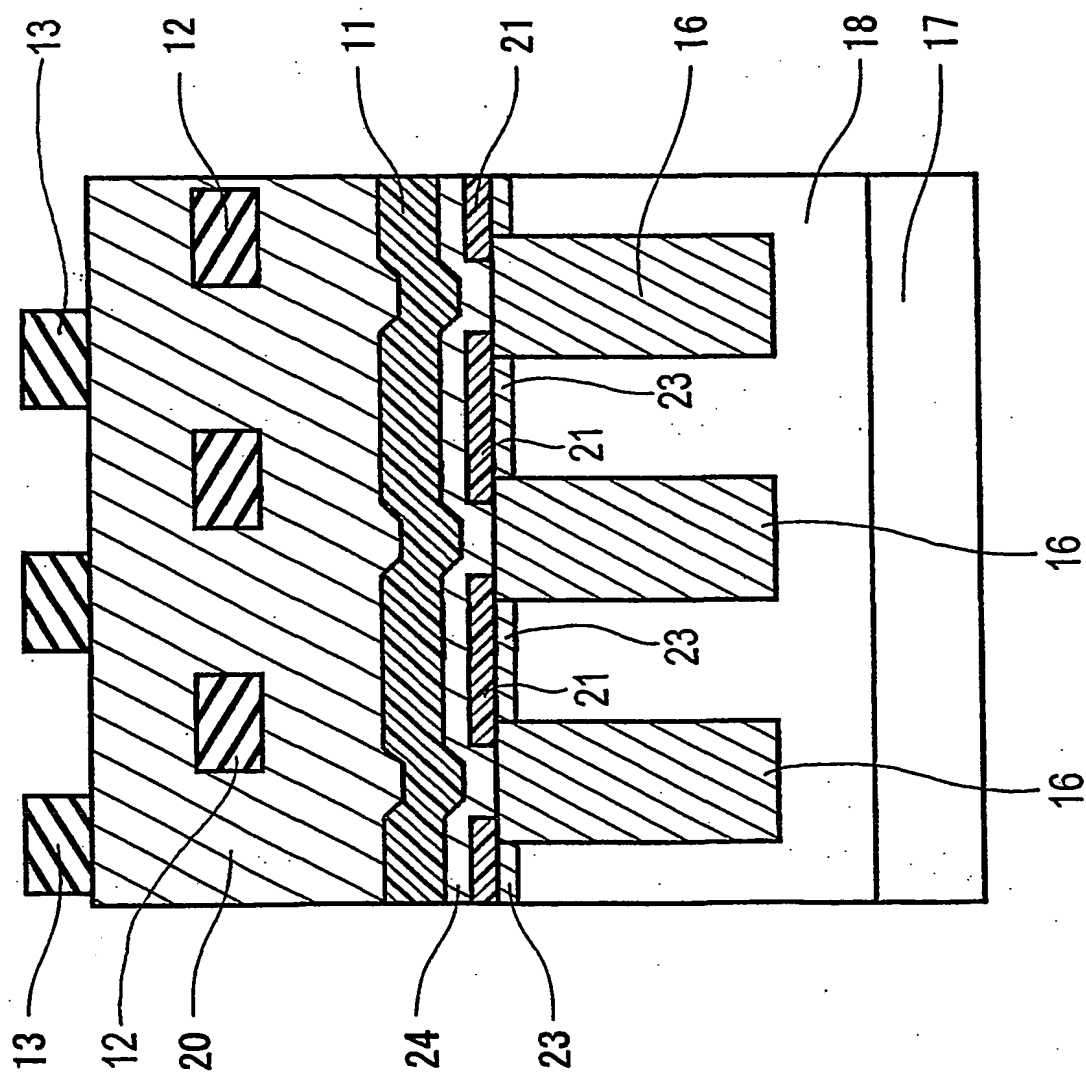
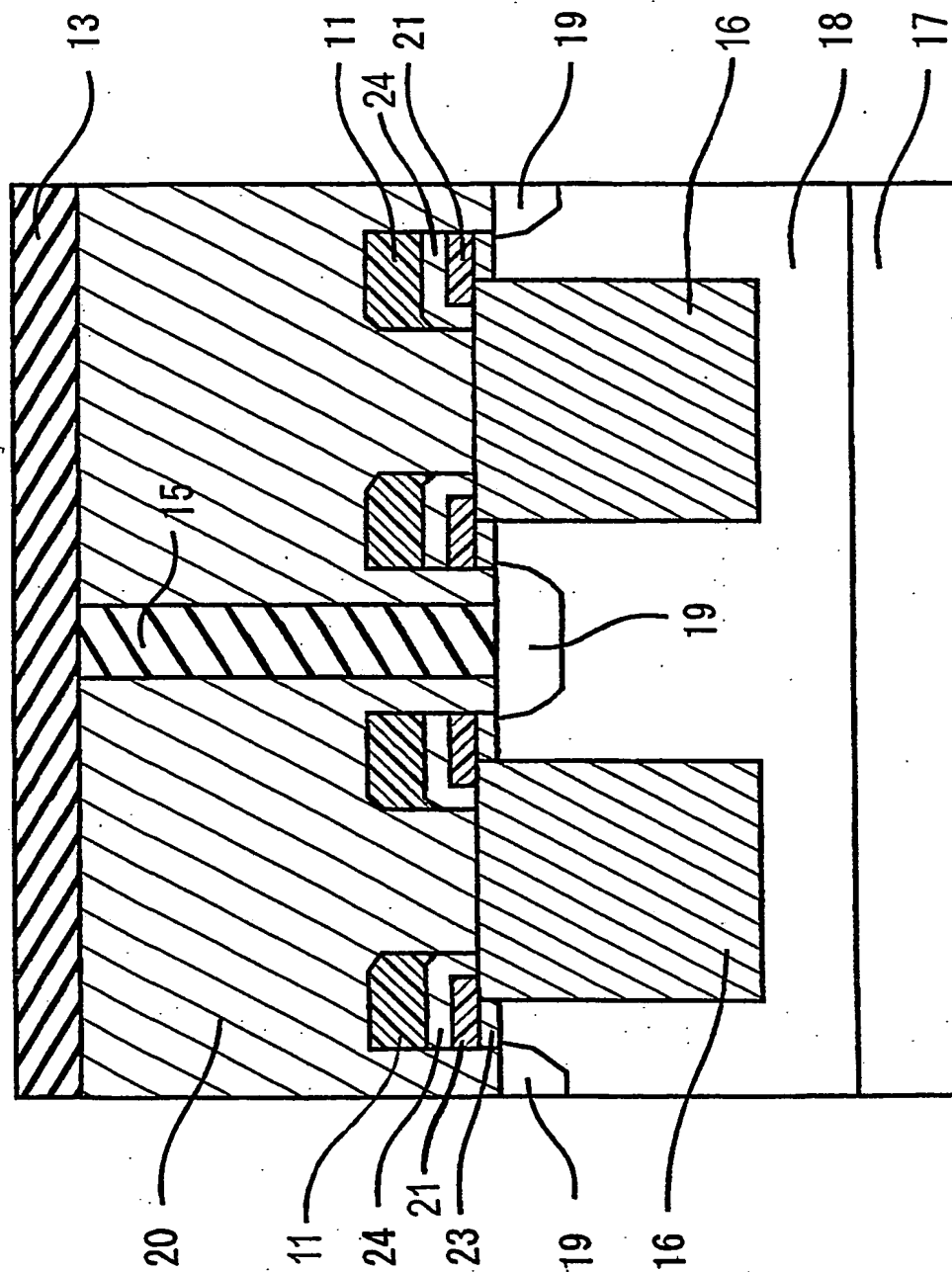
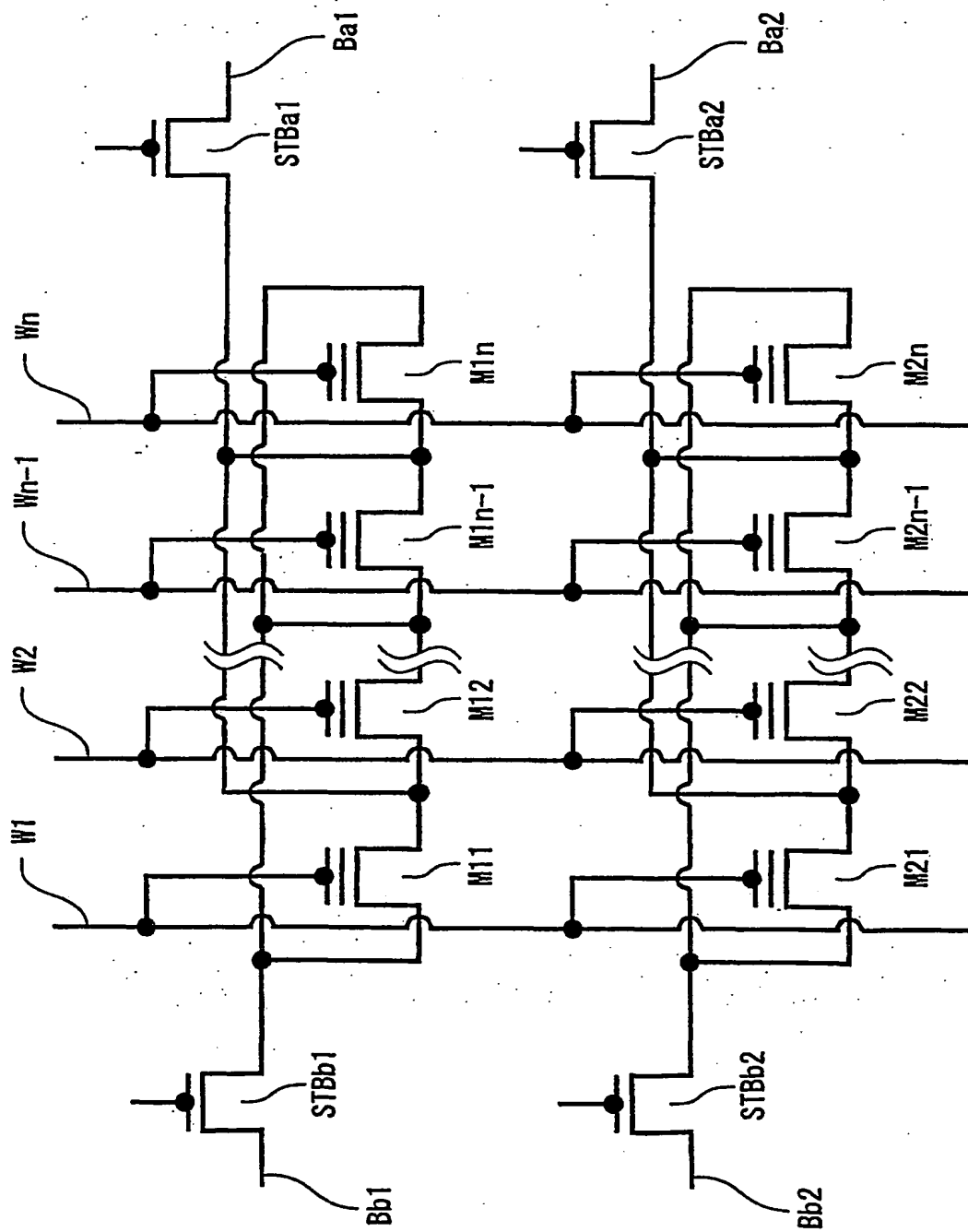


Fig. 4



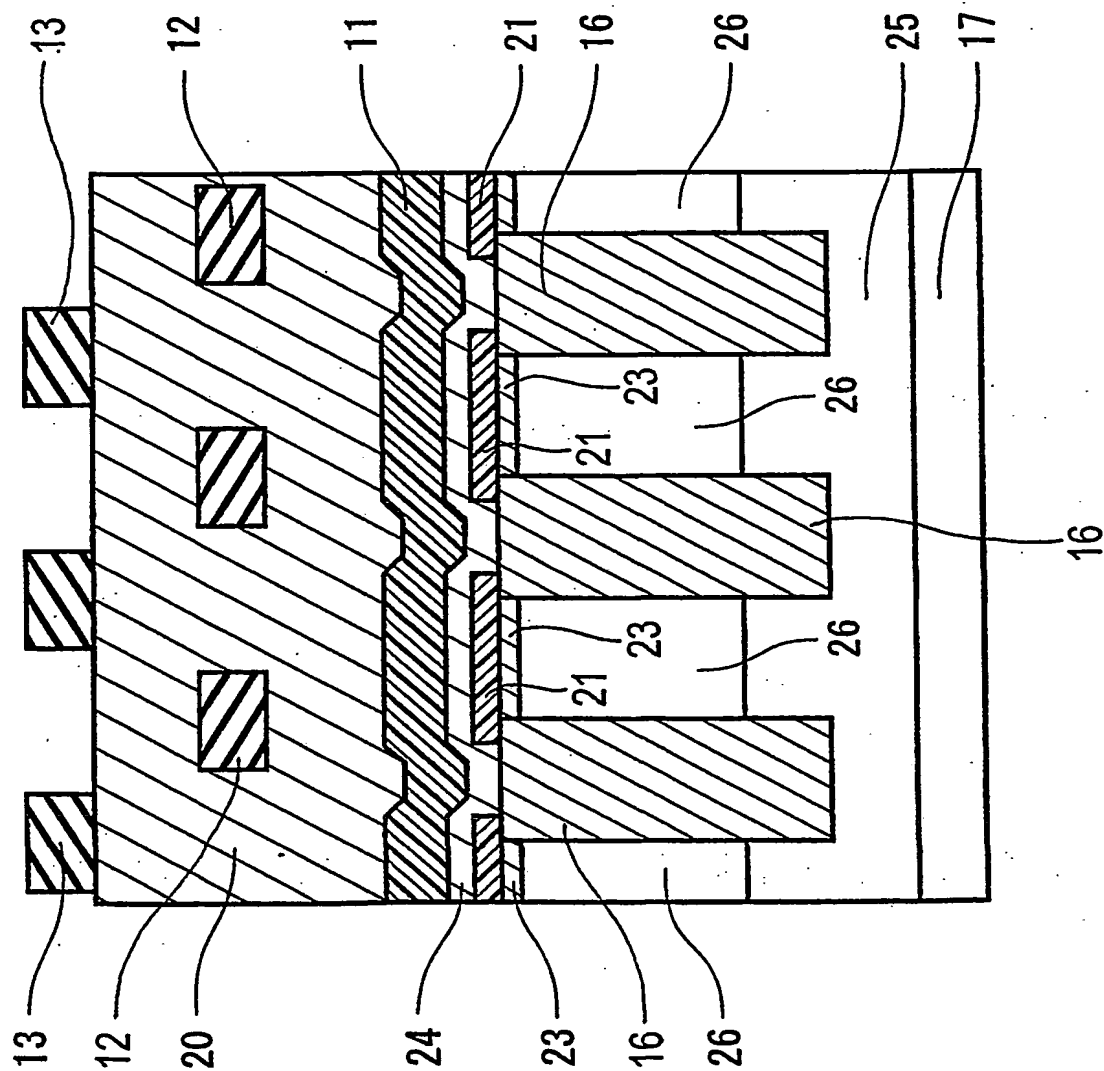
5/27

Fig. 5



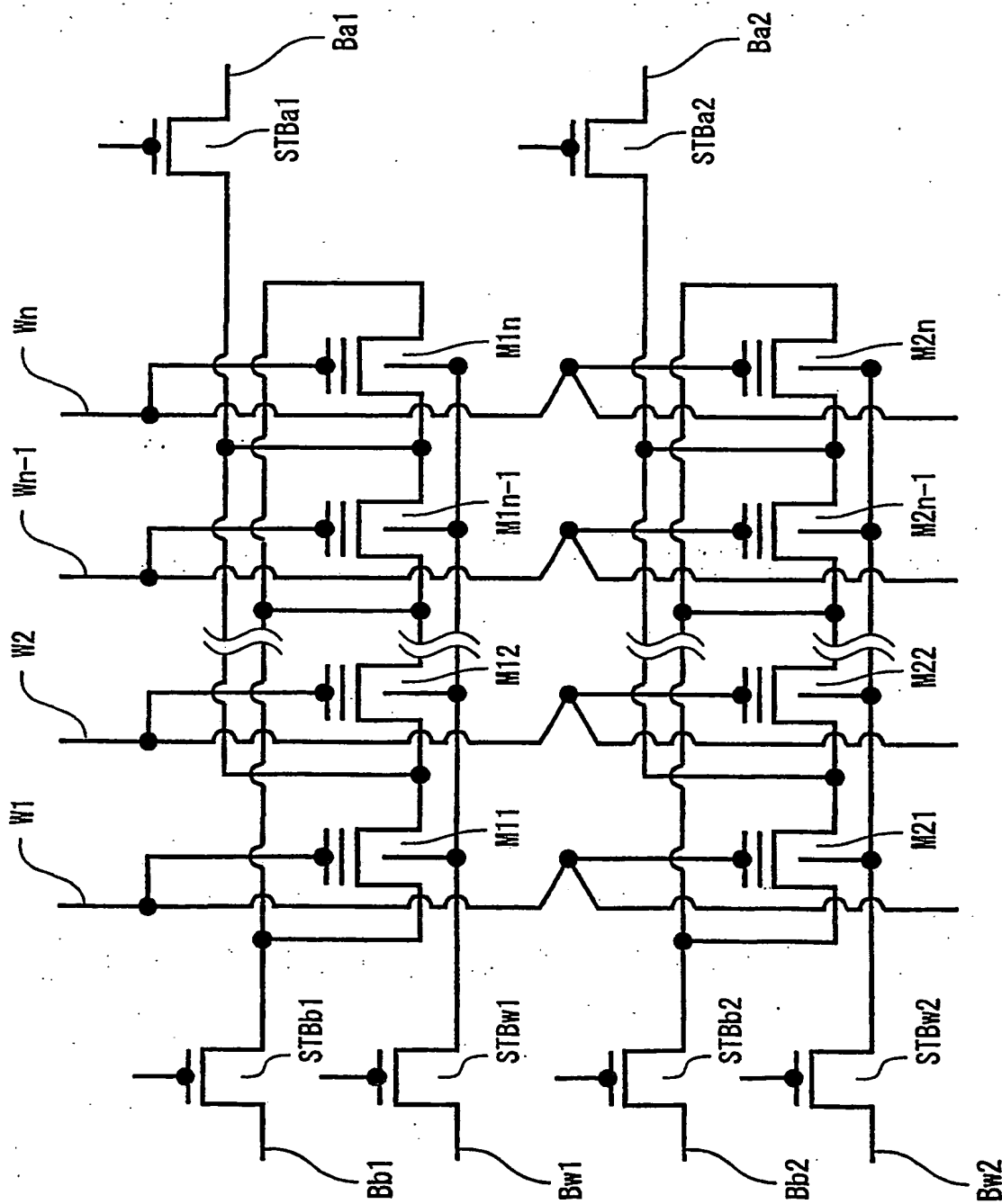
6/27

Fig. 6



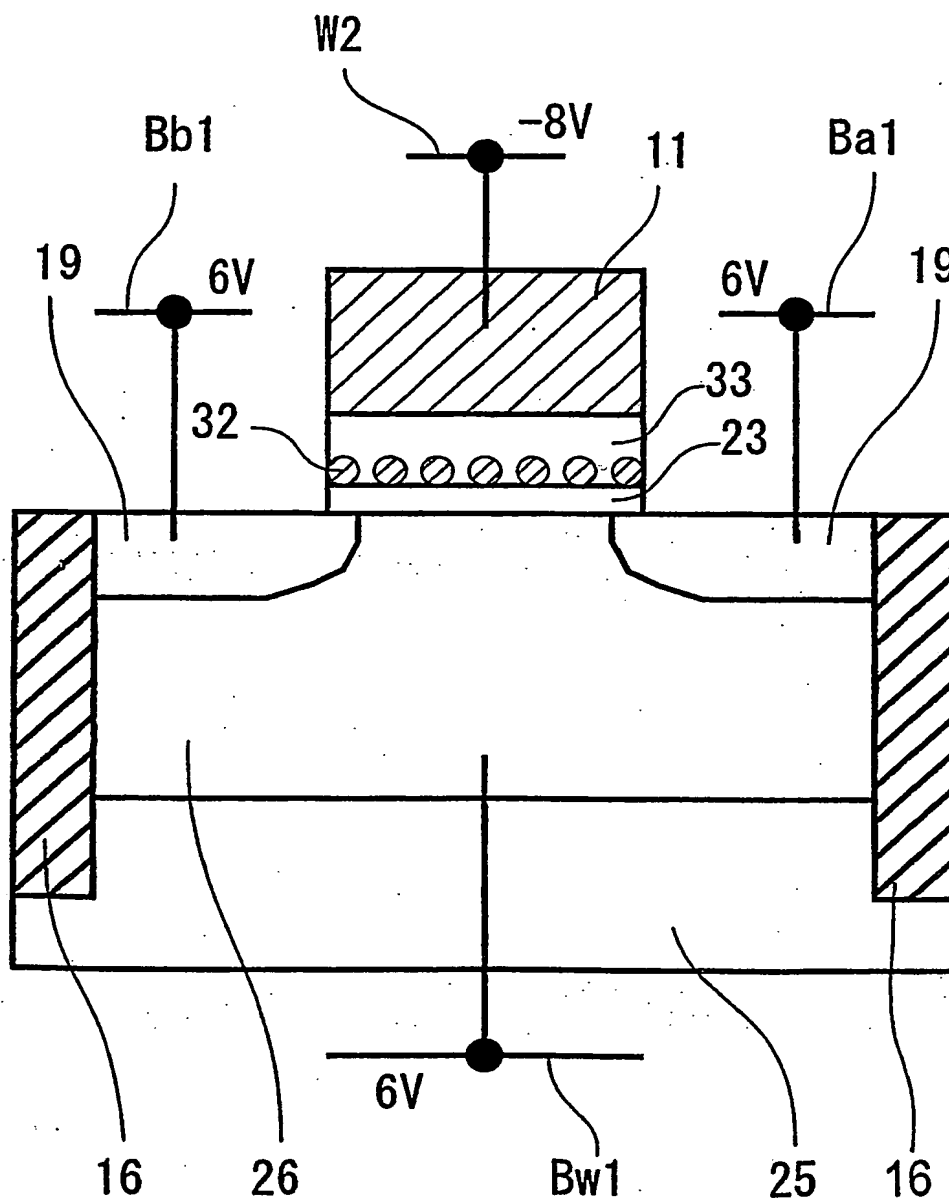
7/27

Fig. 7

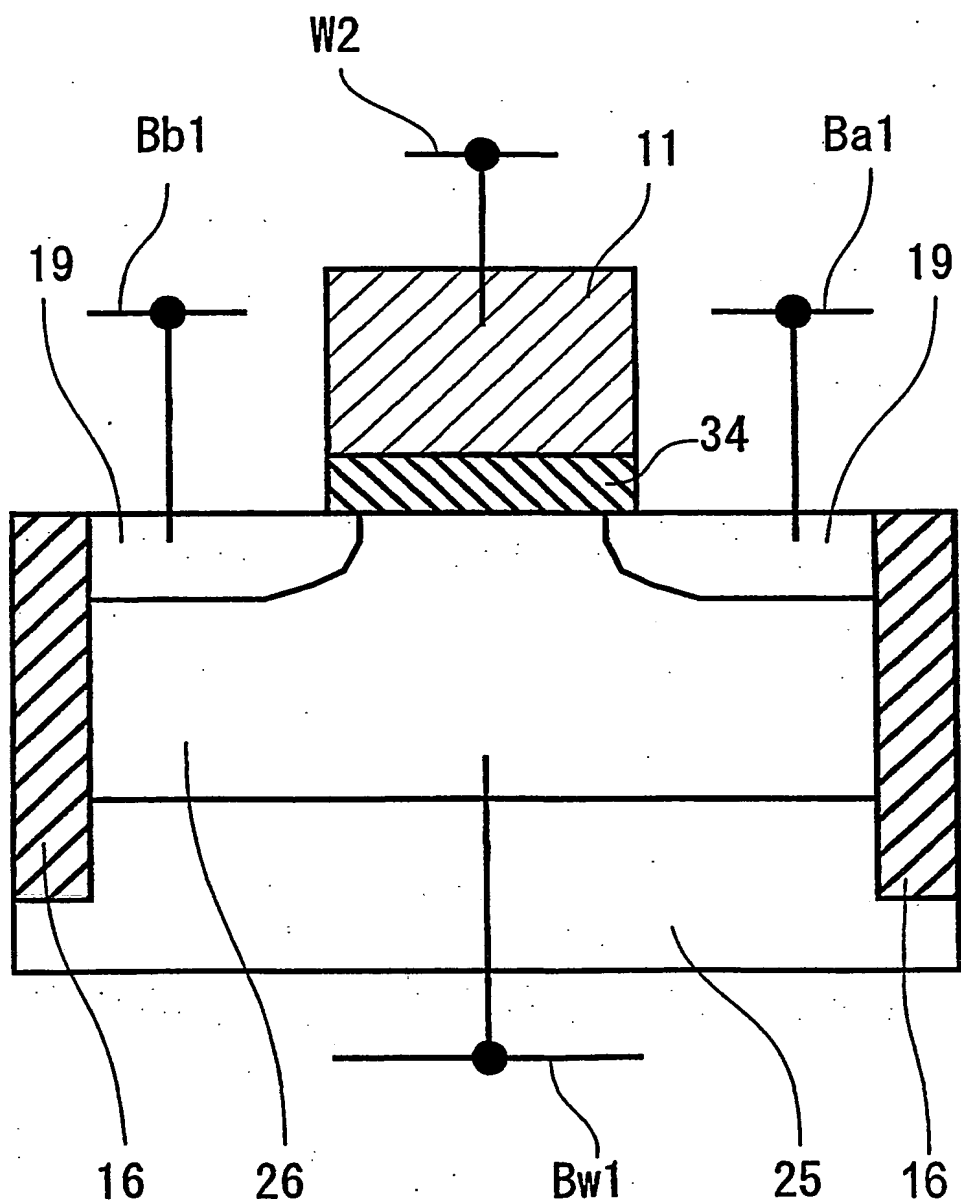


8/27

Fig. 8



F i g. 9



10/27

Fig. 10

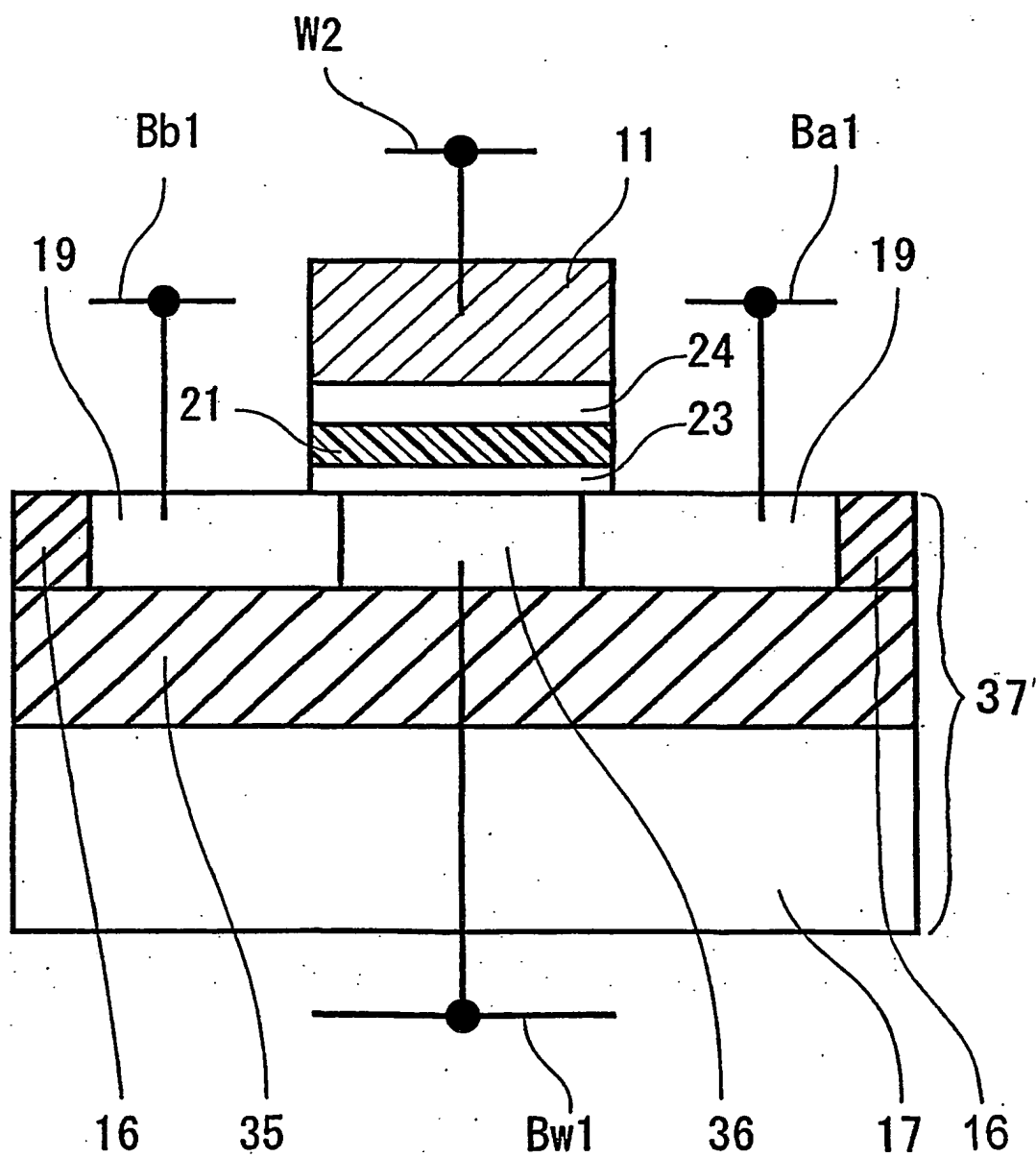
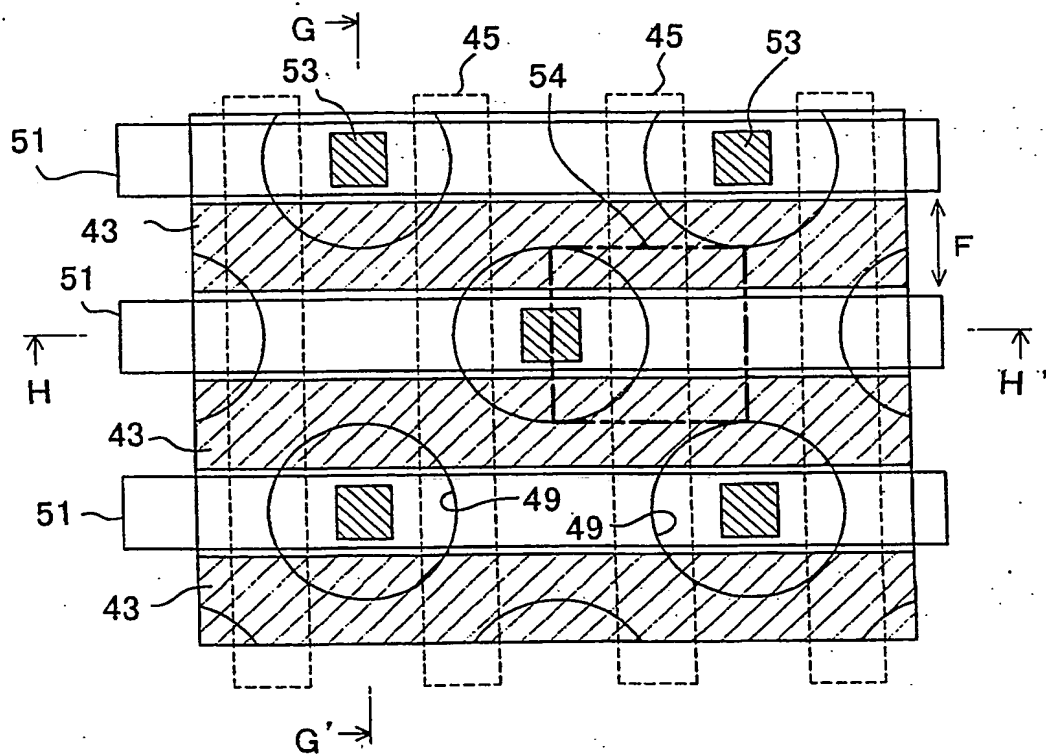


Fig. 11



12/27

Fig. 12

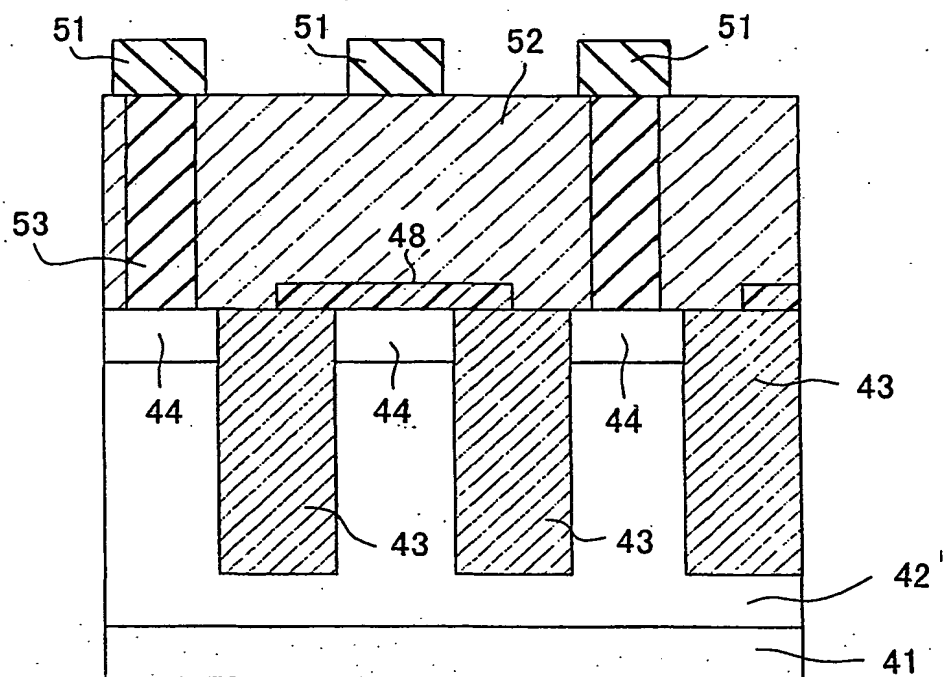


Fig. 13

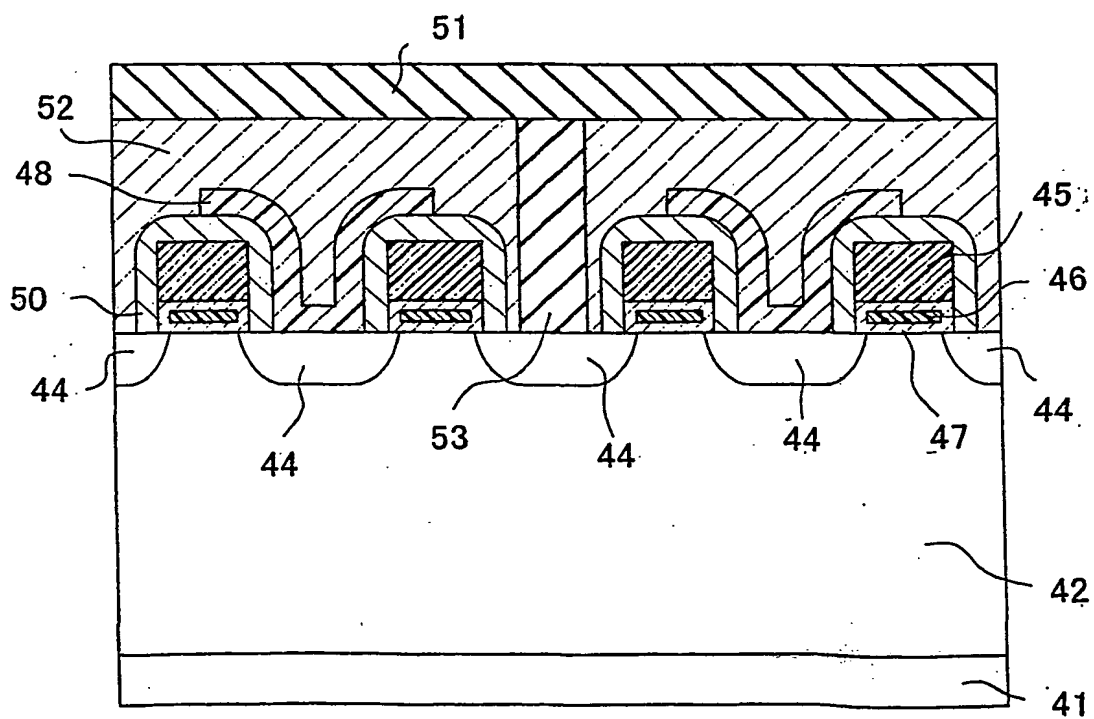
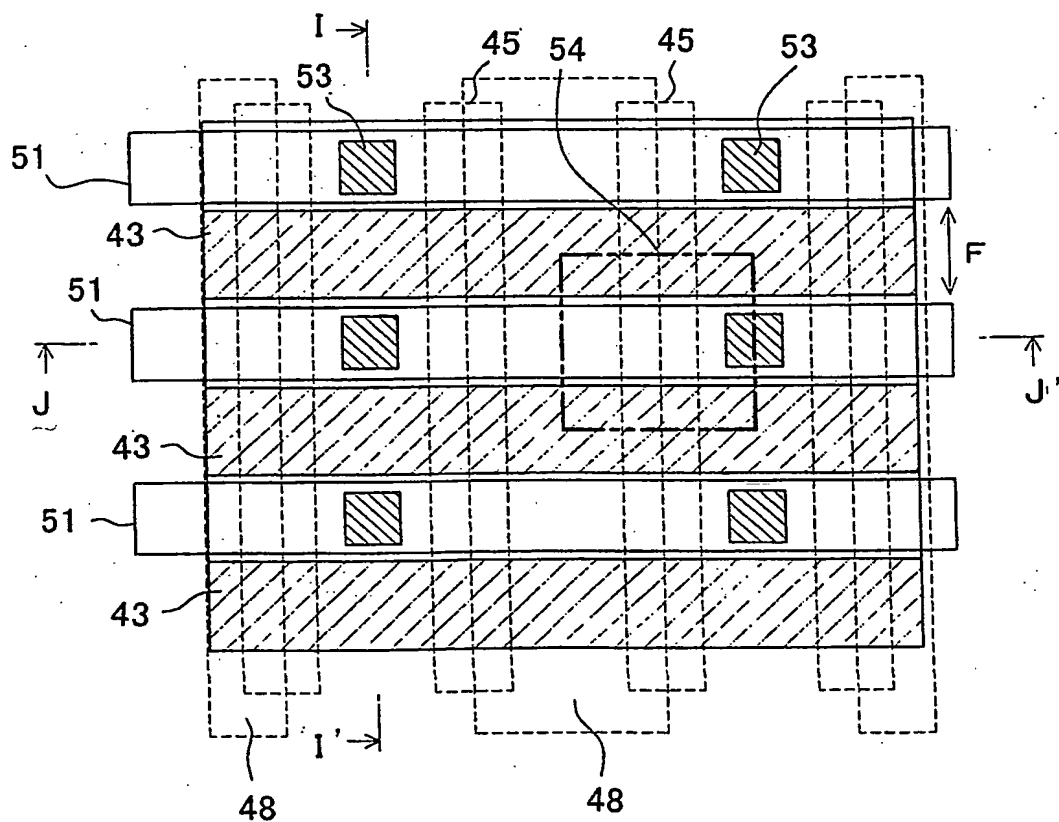


Fig. 14



14/27

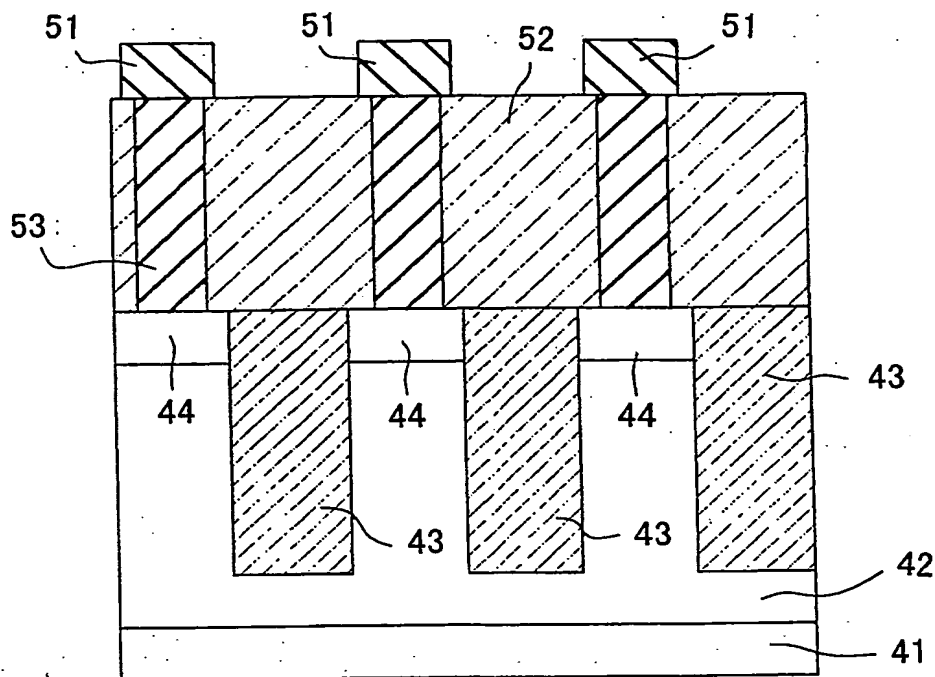
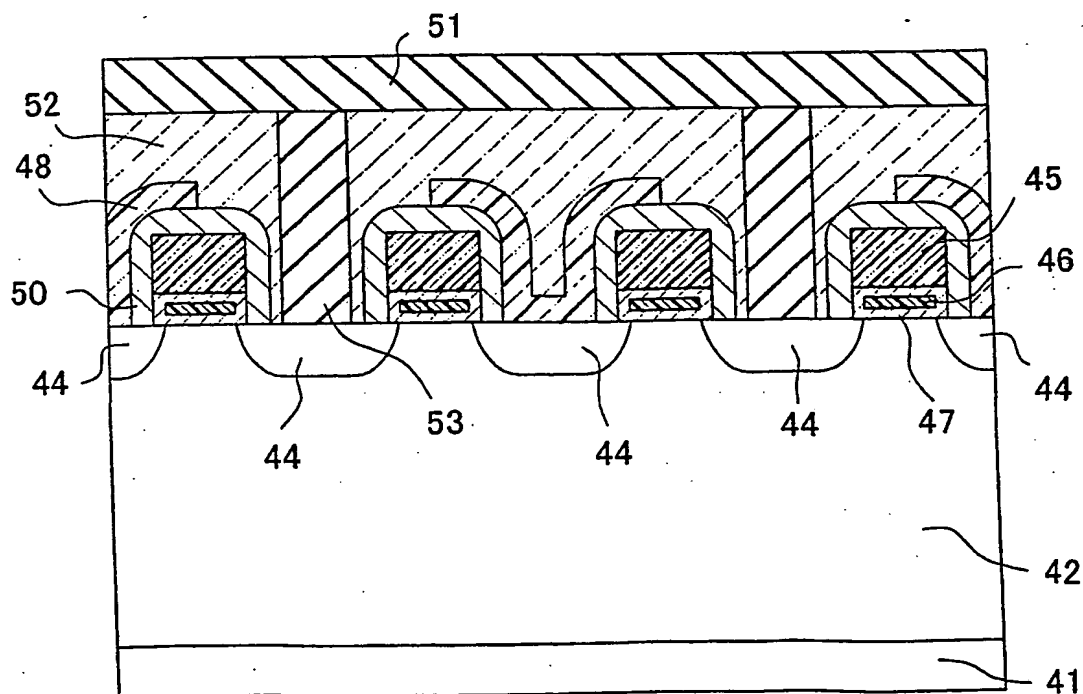
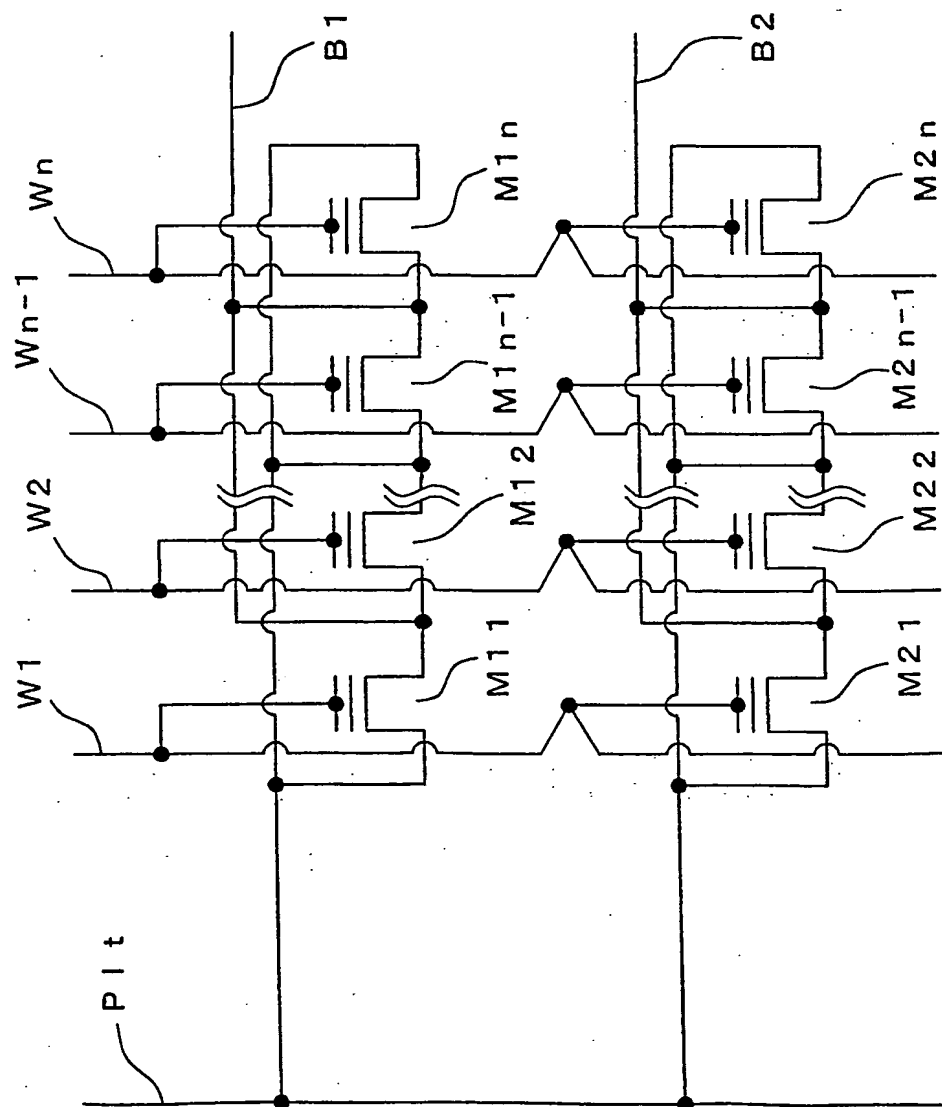
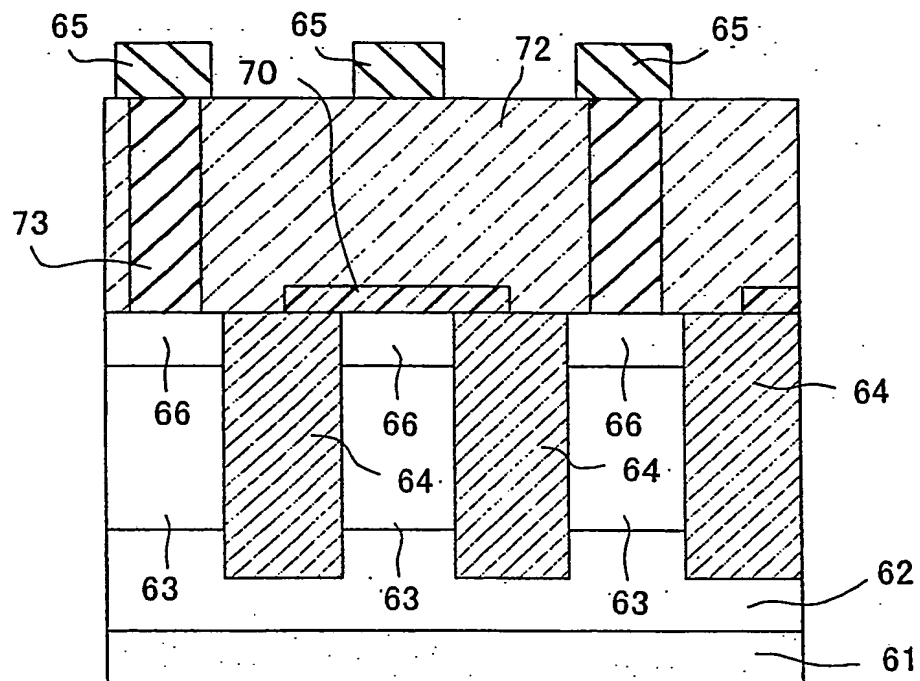
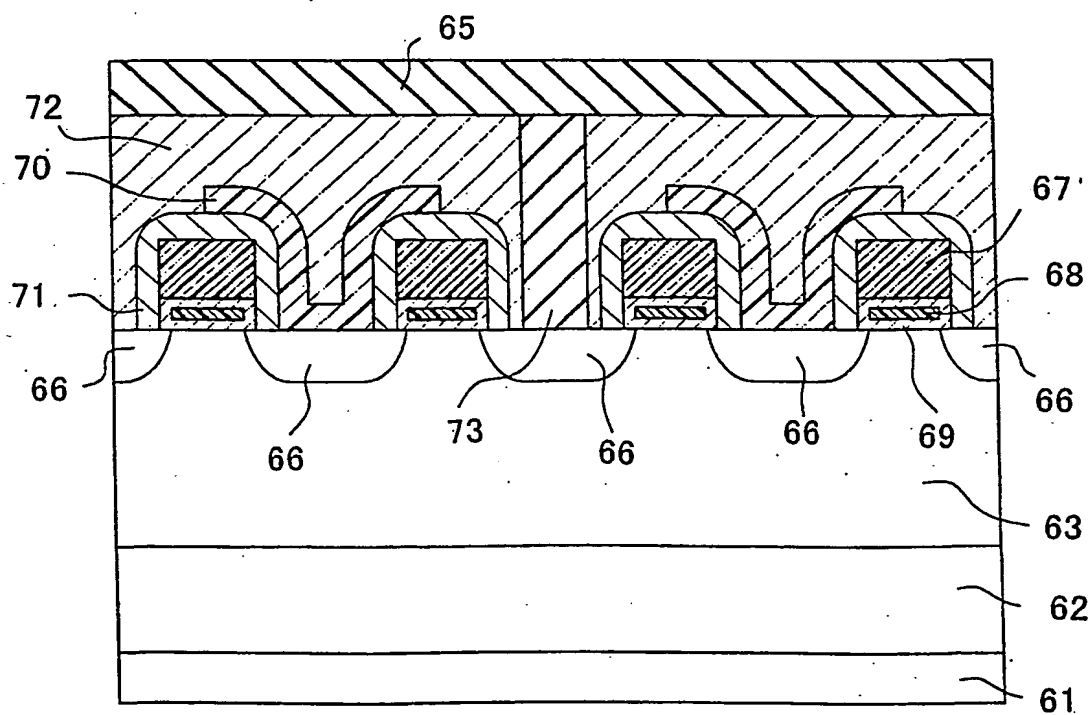
Fig. 15*Fig. 16*

Fig. 17



16/27

Fig. 18*Fig. 19*

17/27

Fig. 20

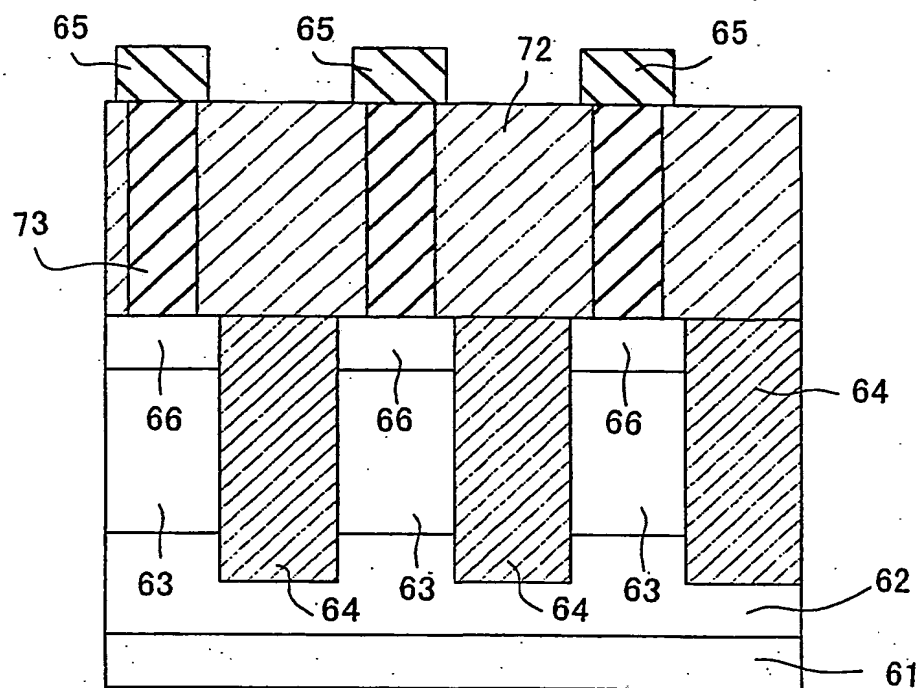
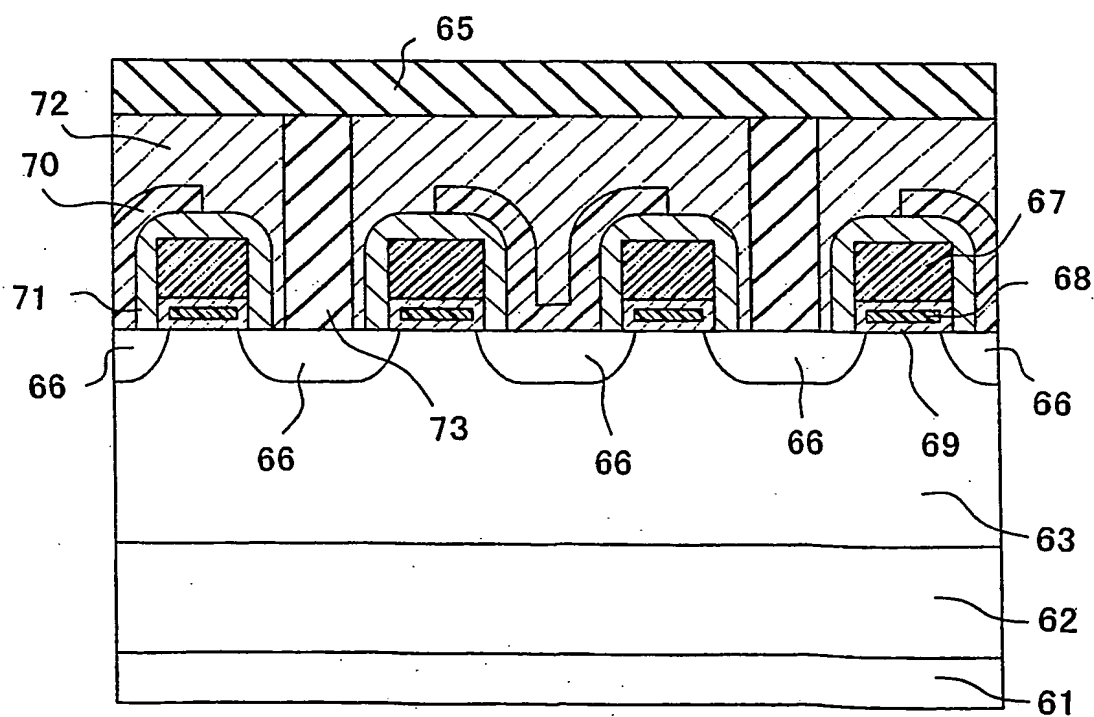


Fig. 21



18/27

Fig. 22

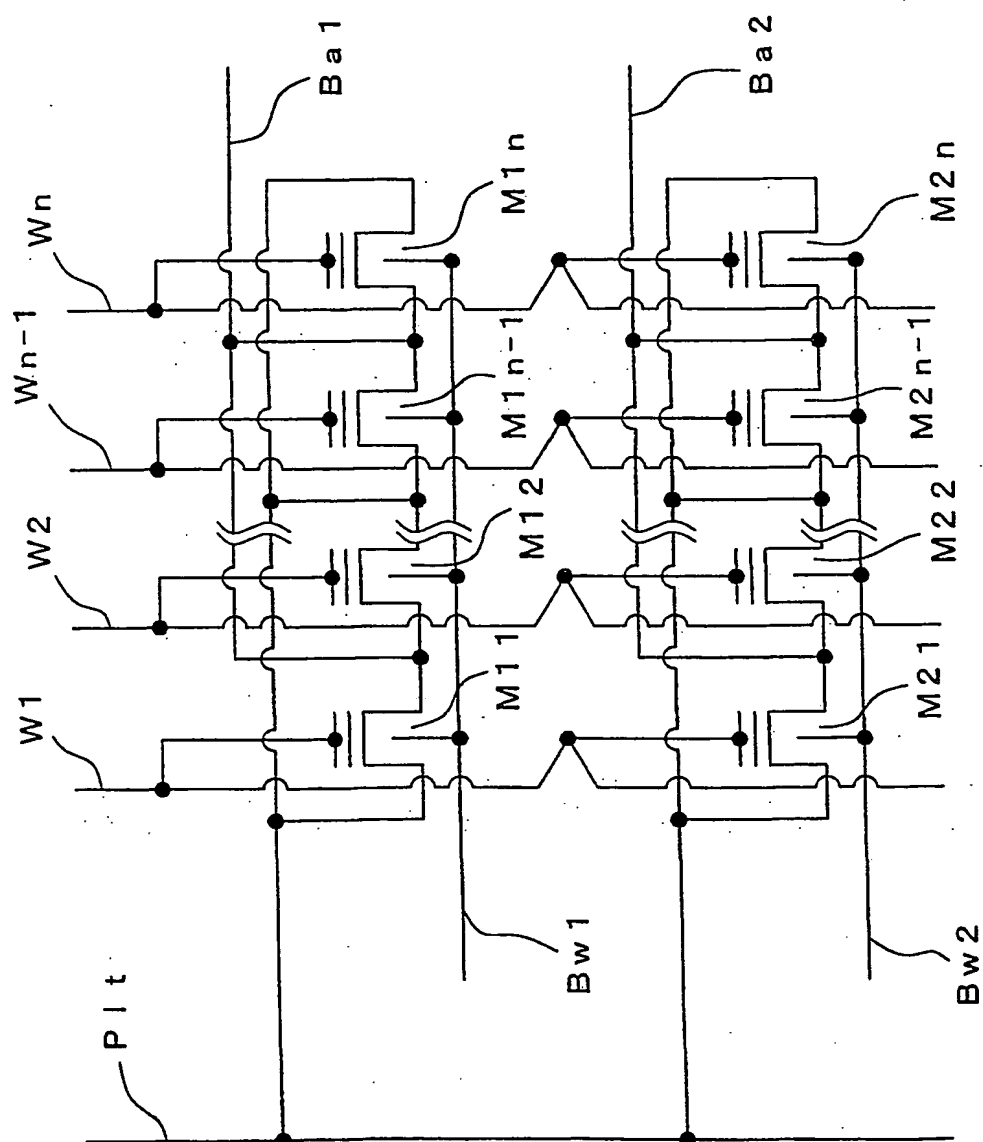


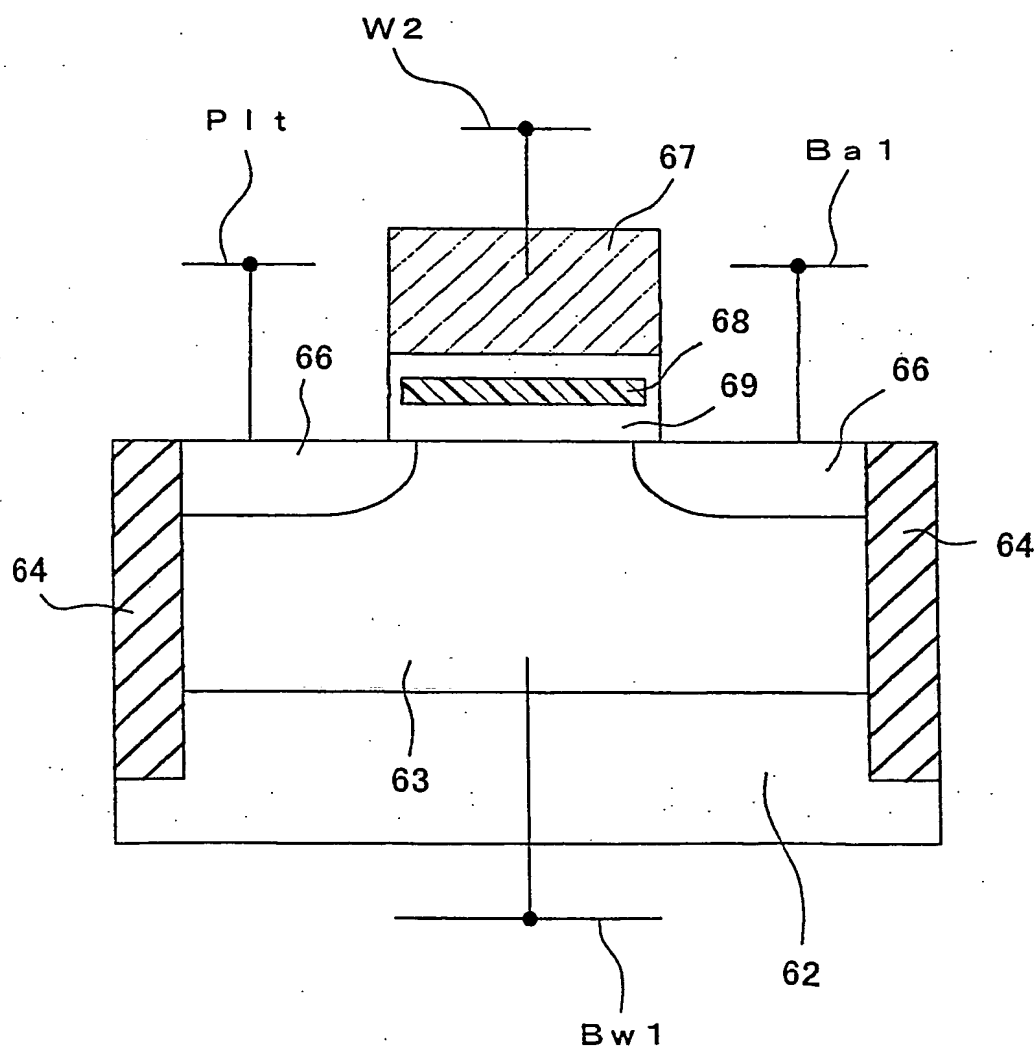
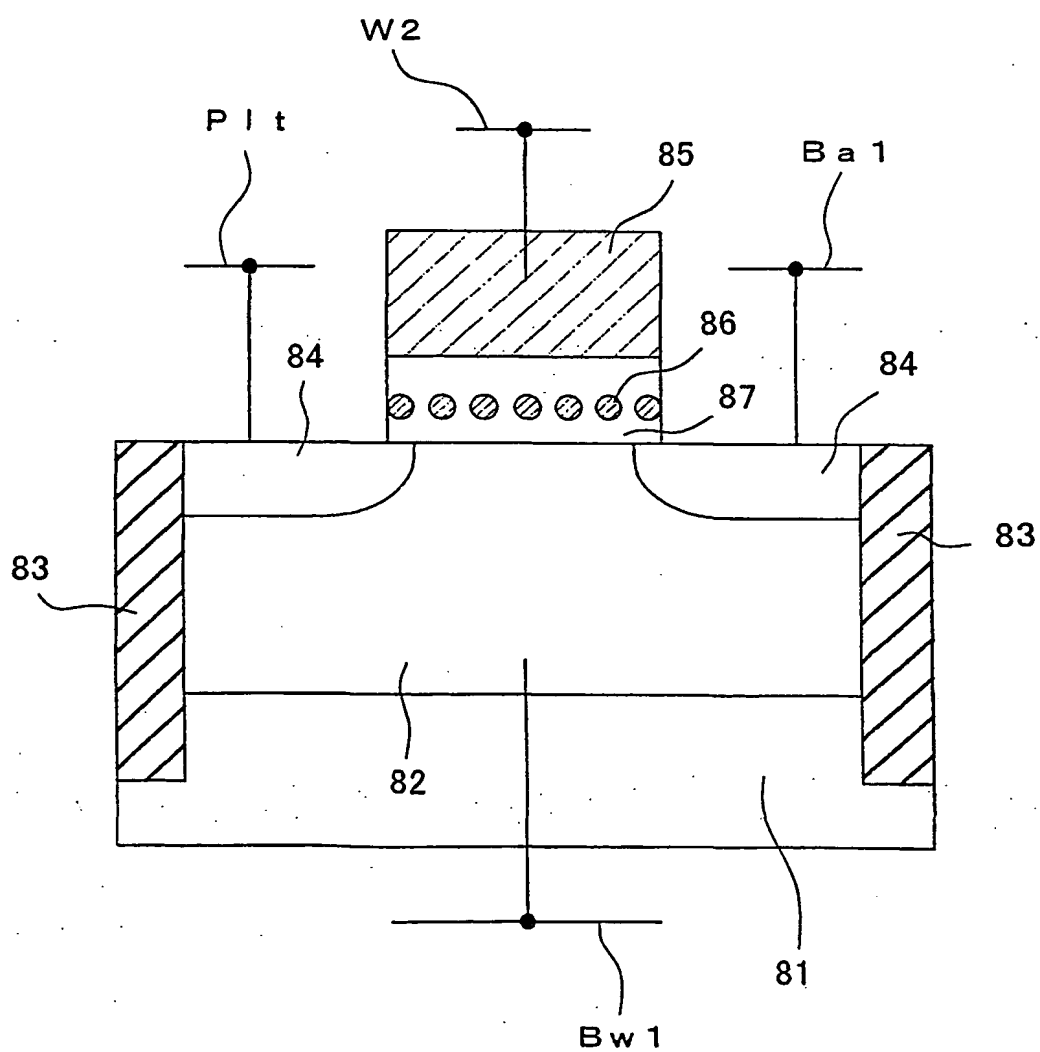
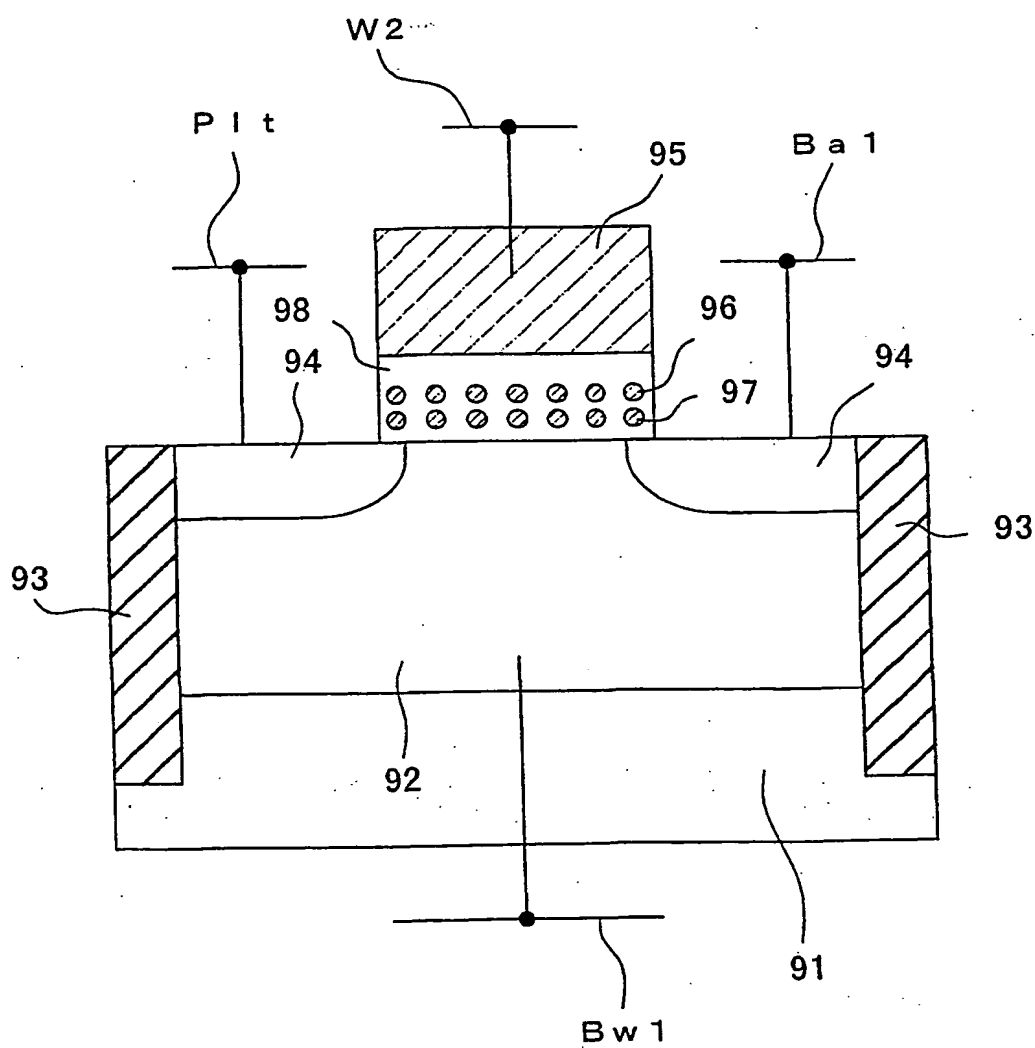
Fig. 23

Fig. 24

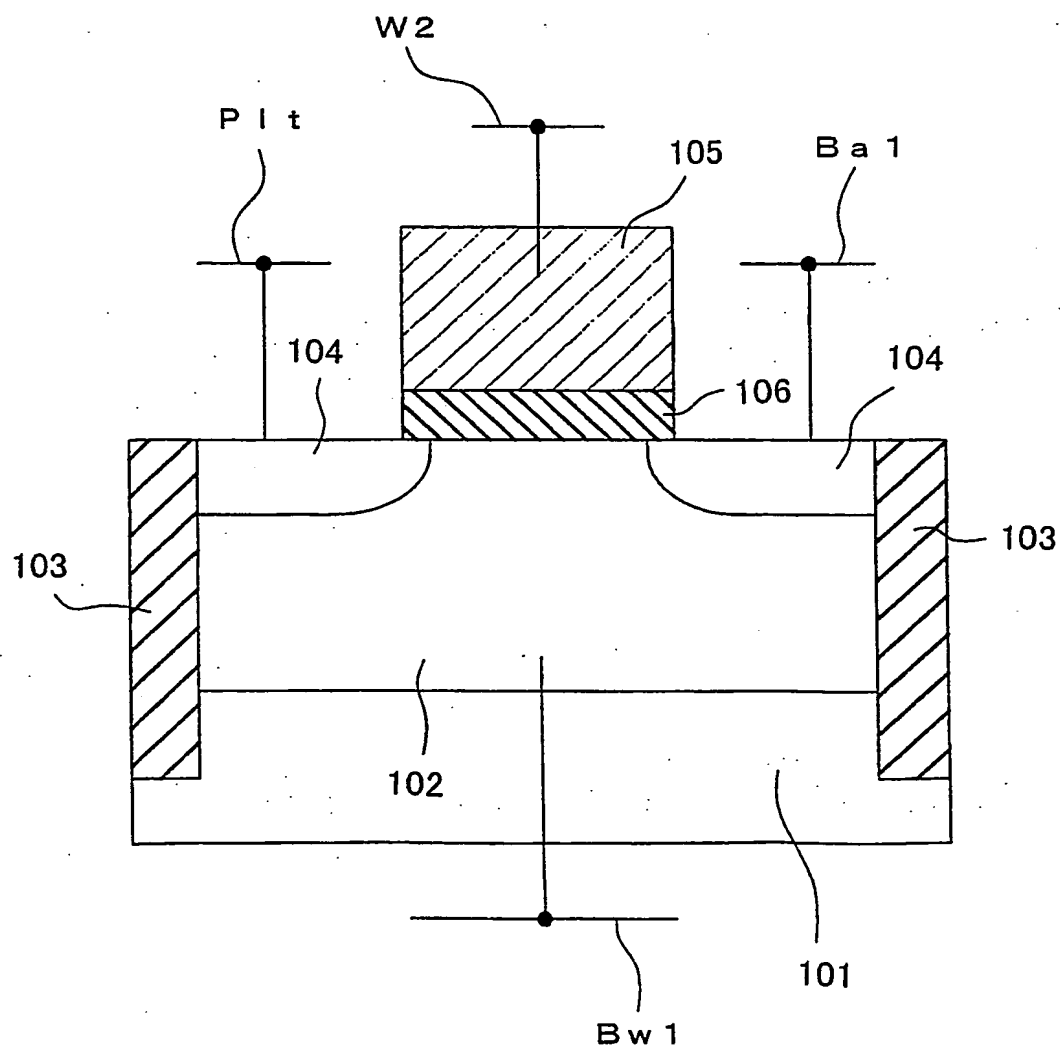
21/27 . . .

F i g. 25



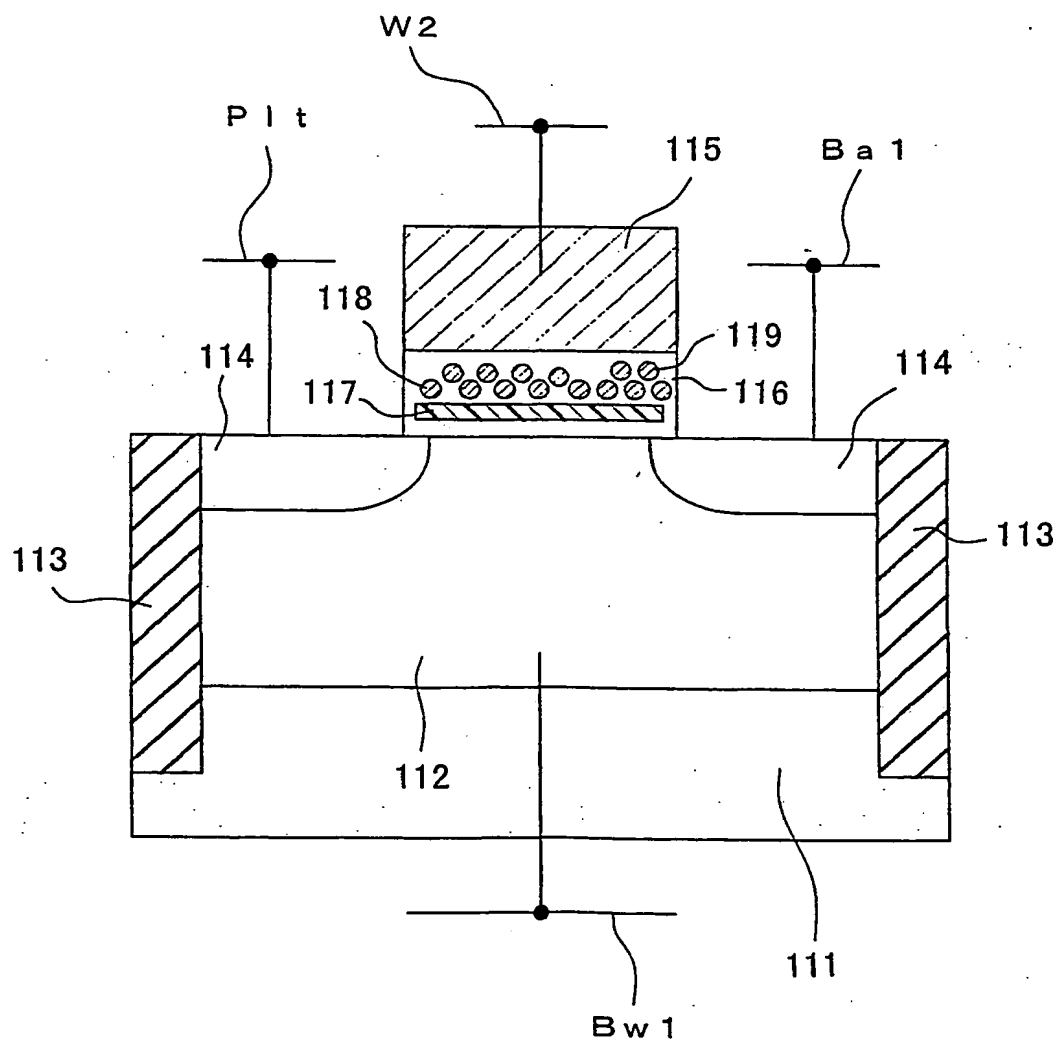
22/27

Fig. 26



23/27

Fig. 27



24/27

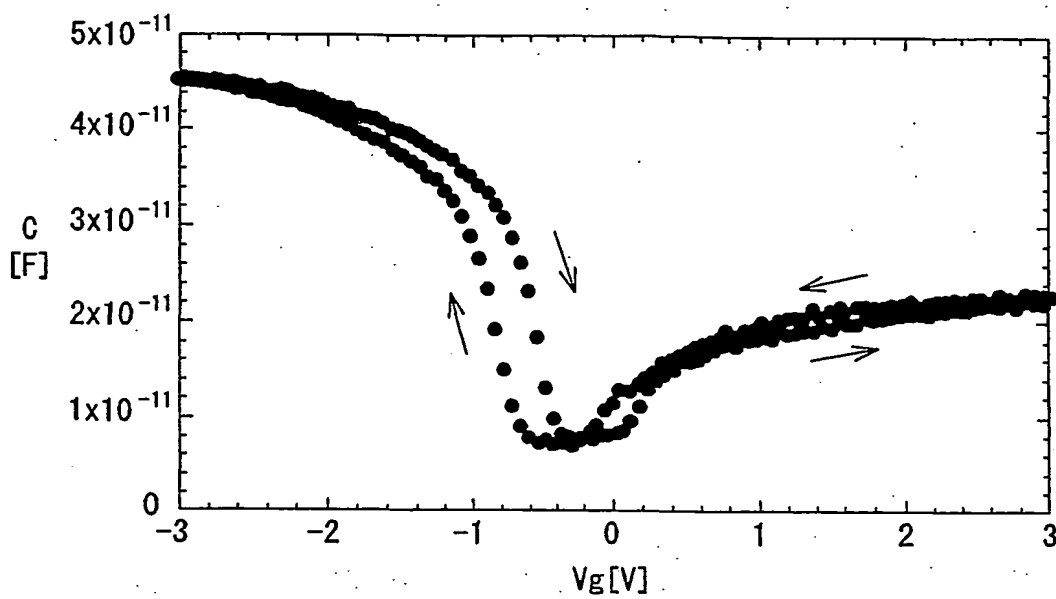
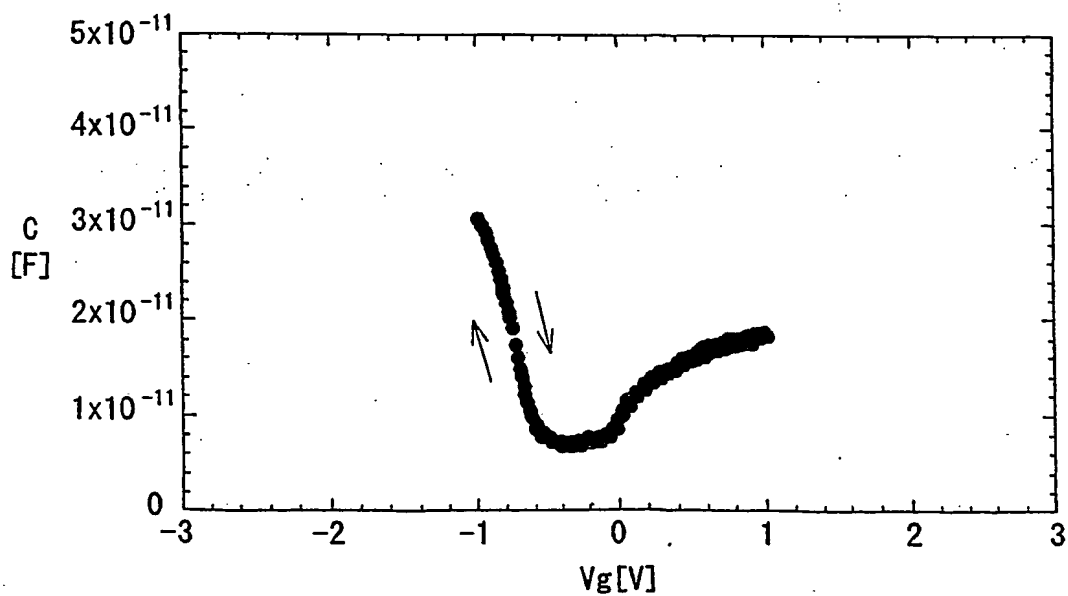
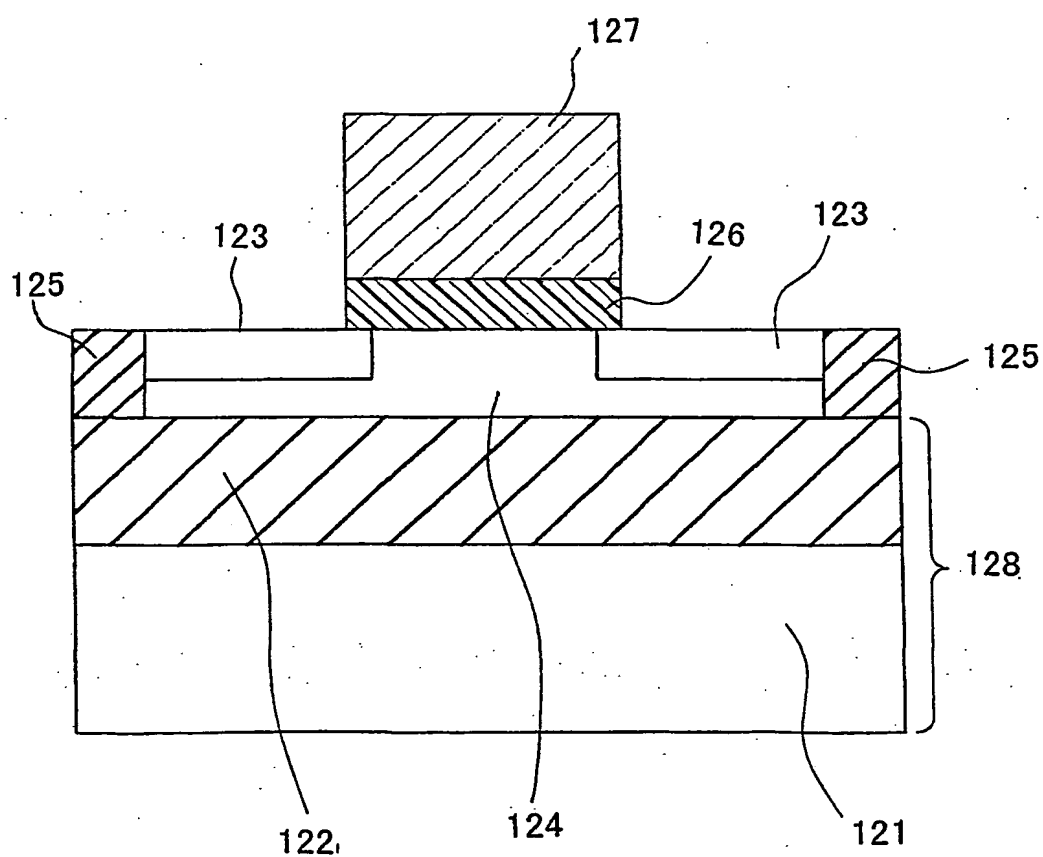
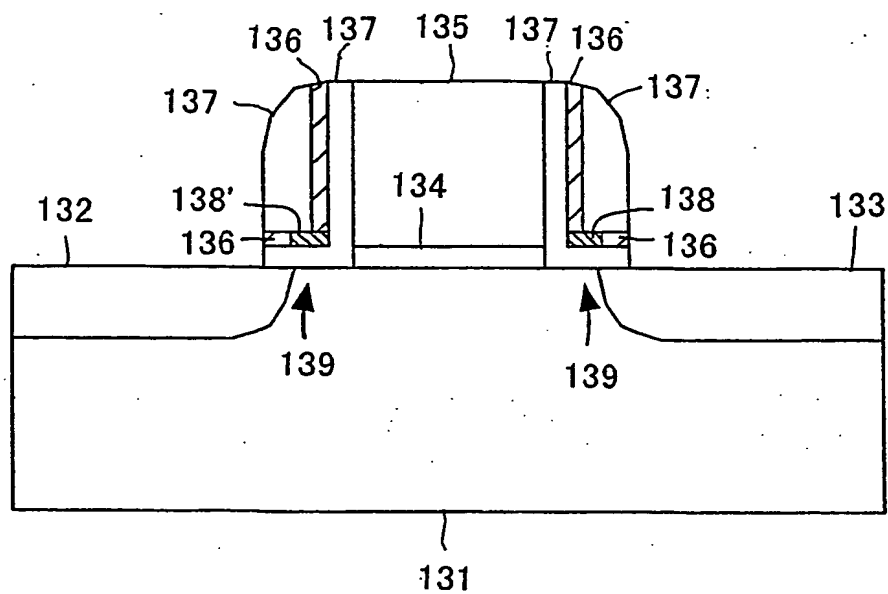
Fig. 28*Fig. 29*

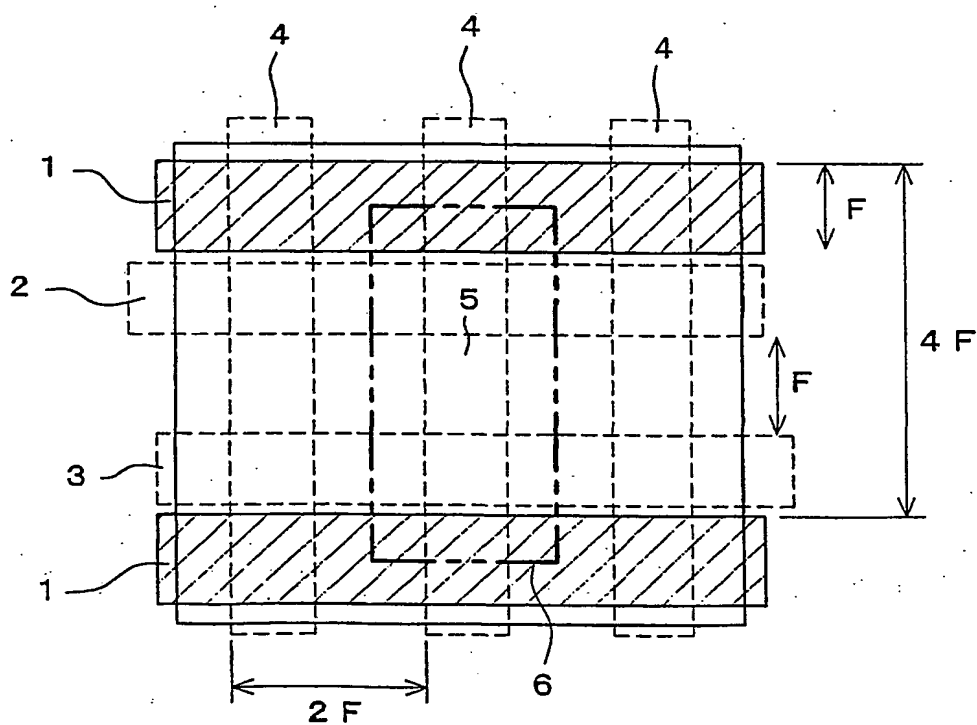
Fig. 30



26/27

Fig. 31

27/27

Fig. 32

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01514

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/02, G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/02, G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 311773 A2 (International Business Machines Corp.), 19 April, 1989 (19.04.89), Full text; Figs. 1 to 12	1-3, 5, 7-11, 13, 16, 17-20, 22
Y	Full text; Figs. 1 to 12 & JP 1-115165 A Full text; Figs. 1 to 12 & US 4870470 A	4, 6, 12, 14, 15, 21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 May, 2002 (21.05.02)

Date of mailing of the international search report
04 June 2002 (04.06.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01514

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 502438 A2 (Fujitsu Ltd.), 09 September, 1992 (09.09.92), Full text; Figs. 1 to 7	1, 2, 3, 5, 16-20, 22
Y	Full text; Figs. 1 to 7 & JP 4-275457 A Full text; Figs. 1 to 9 & US 5325327 A & KR 9611941 B1	4, 6, 15, 21
Y	EP 471381 A2 (NEC Corp.), 19 February, 1992 (19.02.92), Full text; Figs. 1 to 5 & JP 4-97568 A Full text; Figs. 1 to 5 & US 523310 A	4, 12
Y	US 5451803 A (Rohm Co., Ltd.), 19 September, 1995 (19.09.95), Full text; Figs. 1 to 17 & JP 5-326978 A Full text; Figs. 1 to 11	4, 12
Y	EP 590319 A2 (Matsushita Electric Industrial Co., Ltd.), 06 April, 1994 (06.04.94), Full text; Figs. 1 to 8 & JP 6-232412 A Full text; Figs. 1 to 5 & JP 6-120511 A & JP 7-111292 A & US 5424979 A	6, 14
Y	JP 63-237580 A (Toshiba Corp.), 04 October, 1988 (04.10.88), Full text; Figs. 1 to 7 (Family: none)	6, 14
Y	JP 11-87544 A (President of Hiroshima University), 30 March, 1999 (30.03.99), Full text; Figs. 1 to 13 (Family: none),	15
Y	JP 2-23595 A (Mitsubishi Electric Corp.), 25 January, 1990 (25.01.90), Full text; Figs. 1 to 4 (Family: none)	21
Y	JP 10-308097 A (NEC Corp.), 17 November, 1998 (17.11.98), Full text; Figs. 1 to 3 (Family: none)	21

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/02, G11C16/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ H01L21/8247, H01L29/788, H01L29/792, H01L27/115, G11C16/02, G11C16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 311773 A2 (International Business Machines Corporation) 1989. 04. 19, 全文, 第1図-第12図	1-3, 5, 7-11, 13, 16, 17-20, 22
Y	全文, 第1図-第12図 & JP 1-115165 A, 全文, 第1図-第12図 & US 4870470 A	4, 6, 12, 14, 15, 21

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21. 05. 02

国際調査報告の発送日

04.06.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4M

9836

電話番号 03-3581-1101 内線 3460

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 502438 A2 (Fujitsu Limited) 1992. 09. 09, 全文, 図1-図7	1, 2, 3, 5, 16-20, 22
Y	全文, 図1-図7 & JP 4-275457 A, 全文, 図1-図9 & US 5325327 A & KR 9611941 B1	4, 6, 15, 21
Y	EP 471381 A2 (NEC Corporation) 1992. 02. 19, 全文, 第1図-第5図 & JP 4-97568 A, 全文, 第1図-第5図 & US 5233210 A	4, 12
Y	US 5451803 A (Rohm Co., Ltd.) 1995. 09. 19, 全文, 図1-図17 & JP 5-326978 A, 全文, 図1-図11	4, 12
Y	EP 590319 A2 (Matsushita Electric Industrial Co., Ltd.) 1994. 04. 06, 全文, 図1-図8 & JP 6-232412 A, 全文, 図1-図5 & JP 6-120511 A & JP 7-111292 A & US 5424979 A	6, 14
Y	JP 63-237580 A (株式会社東芝) 1988. 10. 04 全文, 第1図-第7図 (ファミリーなし)	6, 14
Y	JP 11-87544 A (広島大学長) 1999. 03. 30, 全文, 図1-図13 (ファミリーなし)	15
Y	JP 2-23595 A (三菱電機株式会社) 1990. 01. 25, 全文, 第1図-第4図 (ファミリーなし)	21
Y	JP 10-308097 A (日本電気株式会社) 1998. 11. 17, 全文, 図1-図3 (ファミリーなし)	21